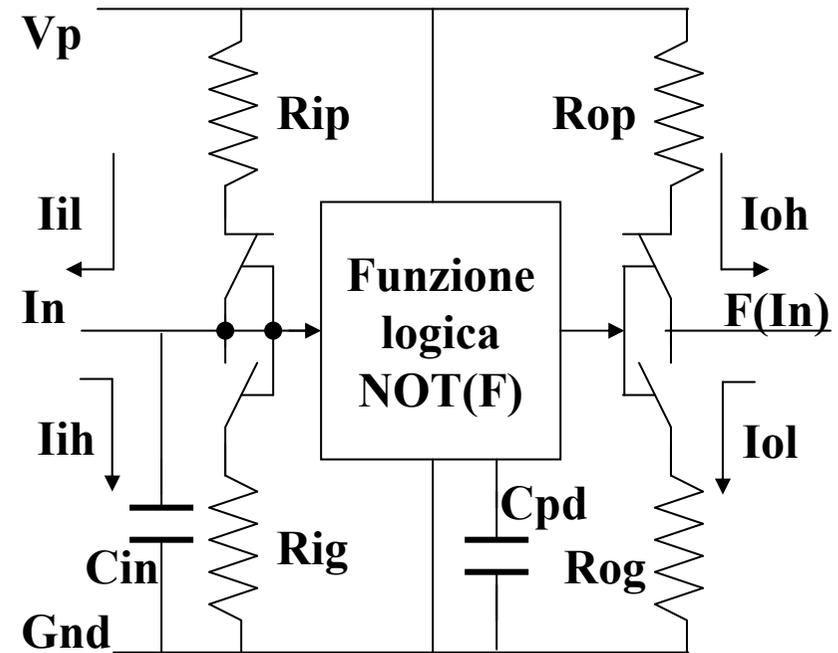




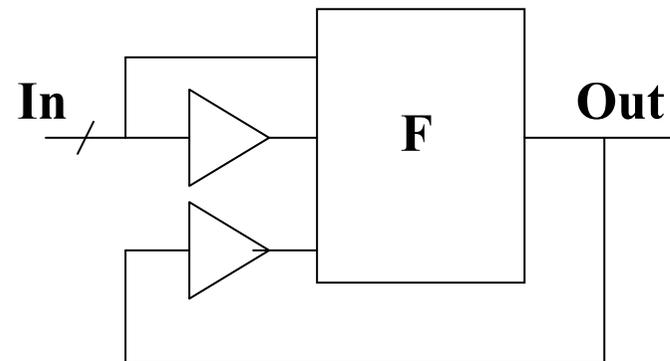
Memorie e dispositivi sequenziali

Modello, dispositivi combinatori e sequenziali

- **Funzione logica**
- **Funzione logica F combinatoria:**
 - Può essere descritta come tabella dove
$$\text{Out}(t) = F(\text{In}(t))$$
 - Ogni ingresso ha uguale interfaccia elettrica (tranne gli ingressi Schmidt trigger, dove $\text{In}(t) = S(\text{In}(t), \text{In}(t-\tau))$)
 - Ogni uscita ha uguale interfaccia elettrica
 - Si definiscono tempi di propagazione da ogni ingresso a ogni uscita



- **Funzione logica F sequenziale**
 - Può essere descritta come una tabella dove
$$\text{Out}(t) = F(\text{In}(t), \text{In}(t-\tau), \text{Out}(t-\tau))$$



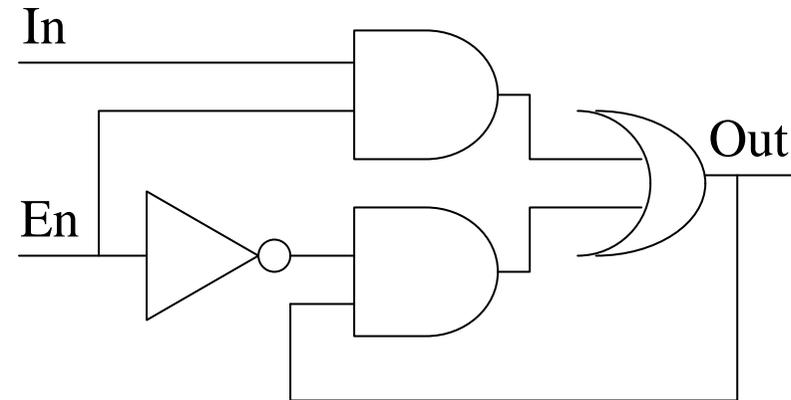
Dispositivi sequenziali

- Latch
- Latch di tipo “D”

$$\text{Out}(t) = F(\text{In}(t), \text{Out}(t-\tau))$$

$$\text{Out}(t) = \text{!En}(t)\&\text{Out}(t-\tau) + \text{En}(t)\&\text{In}(t)$$

$$\text{Out} = \text{!En}\&\text{Out} + \text{En}\&\text{In}$$

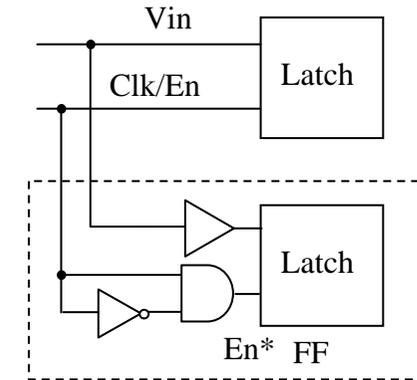
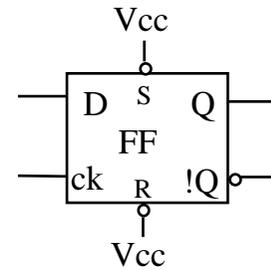


- Esistono anche altri latch
 - RS
 - JK
 - T

En (t)	In (t)	Out(t-τ)	Out(t)
0	X	0	0
0	X	1	1
1	0	X	0
1	1	X	1

Dispositivi sequenziali

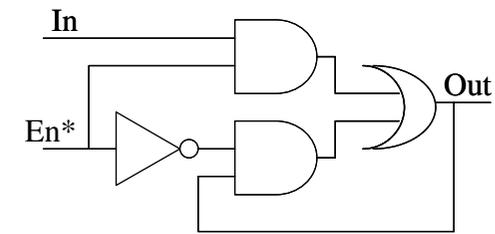
- Flip-flop (FF)
- Flip-flop di tipo “D”



$$\text{Out}(t) = F(\text{In}(t), \text{In}(t-\tau), \text{Out}(t-\tau))$$

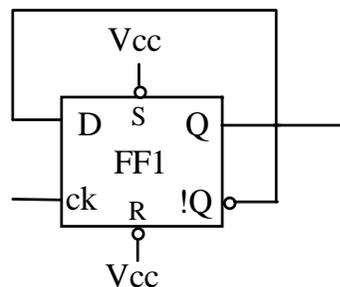
$$\text{Out}(t) = (!\text{En}(t) + \text{En}(t) \& \text{En}(t-\tau)) \& \text{Out}(t-\tau) + \text{En}(t) \& !\text{En}(t-\tau) \& \text{In}(t)$$

$$\text{Out}(t) = !\text{En}^*(t) \& \text{Out}(t-\tau) + \text{En}^*(t) \& \text{In}(t)$$



- Esistono anche altri FF

- RS
- JK
- T

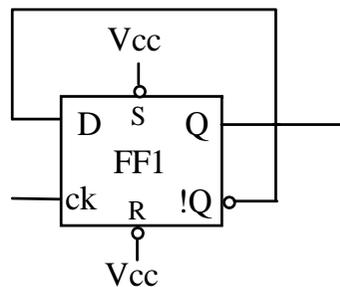
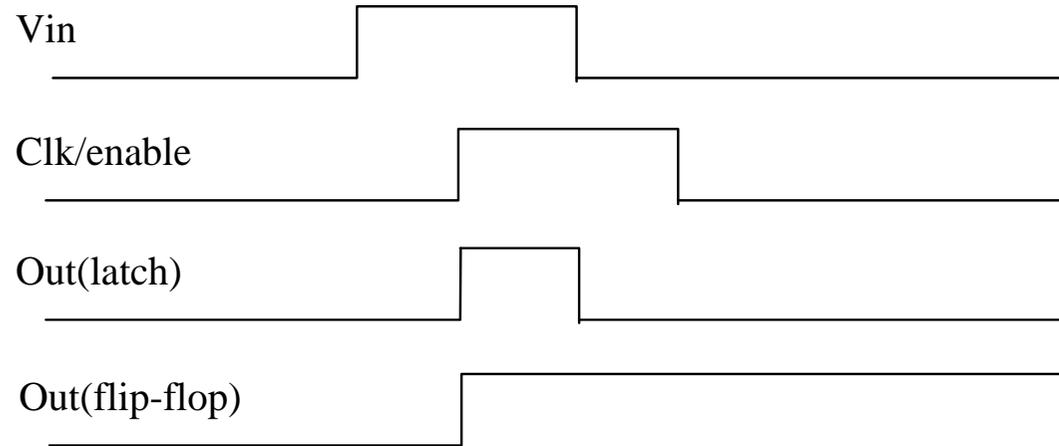
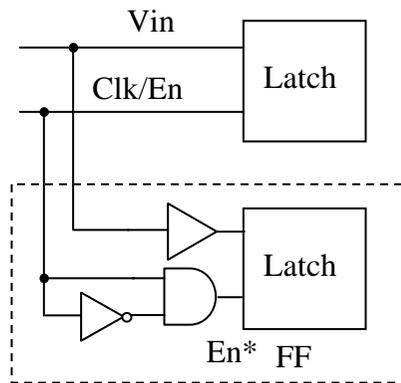


En (t)	En (t-τ)	In (t)	Out(t-τ)	Out(t)
0	X	X	0	0
0	X	X	1	1
1	1	X	0	0
1	1	X	1	1
1	0	0	X	0
1	0	1	X	1

Dispositivi sequenziali

- Latch e Flip-Flop

- Differenze



!S	!R	ck	J	!K	Q	!Q
L	H	X	X	X	H	L
X	L	X	X	X	L	H
H	H	stable	X	X	Q	!Q
H	H	edge+	L	L	L	H
H	H	edge+	L	H	Q	!Q
H	H	edge+	H	L	!Q	Q
H	H	edge+	H	H	H	L

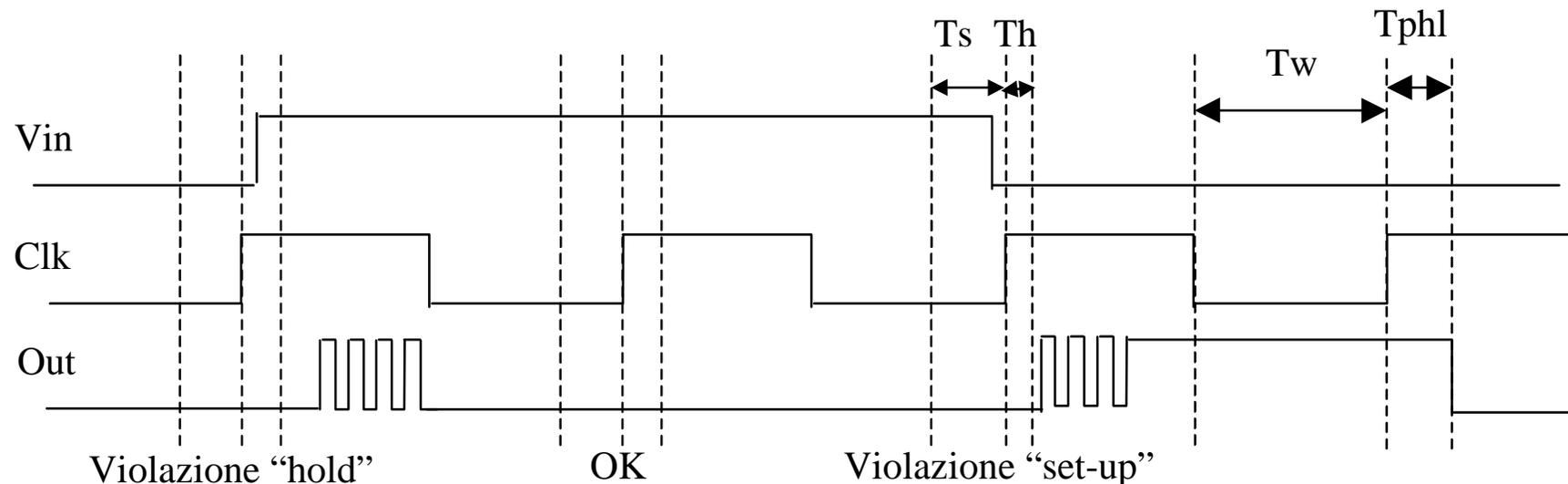
Dispositivi sequenziali

- **Caratteristiche dinamiche**

- **I dati (o le linee sincrone di set/reset) devono essere stabili un certo tempo prima del fronte attivo del clock (Tempo di set-up = T_s)**

- **I dati (o le linee sincrone di set/reset) devono essere stabili un certo tempo dopo il fronte attivo del clock (Tempo di hold = T_h)**

- **Si deve rispettare la massima frequenza F_{max} e la minima larghezza di impulso di clock e set/reset asincroni)**



Dispositivi sequenziali

- **Caratteristiche dinamiche**

- **Flip-flop D 74LS74 (Motorola)**

(Esempio)

	min	typ	max
T_{phl} (from ck to Q, !Q)		12ns	40ns
T_{plh} (from ck to Q, !Q)		10ns	25ns
T_{phl} (from S,R to Q, !Q)		12ns	40ns
T_{plh} (from S,R to Q, !Q)		11ns	25ns
T_w (ck, S, R)	25ns	12ns	
T_{su} (setup time)	20ns	18ns	
T_h (hold time)	5ns	-1ns	
F_{max}		25MHz	40MHz

Test Conditions (T_a = 25°C, V_{cc} = 5V, C_l = 15pF)

- **T_{set-up} + T_{hold} ≈ tempo di reazione**

– La realizzazione di molte macchine sincrone richiede **T_{hold} < T_{p_{ck,Q}}**

Dispositivi sequenziali

- **Metastabilità**
- **La metastabilità è uno stato di funzionamento dei circuiti sequenziali nel quale l'uscita assume un valore imprevedibile (“0”, “1”, oscillante)**
- **La metastabilità evolve verso uno stato stabile**
 - lo stato stabile è equiprobabile ($P(\text{“0”}) \approx P(\text{“1”}) \approx 50\%$)
 - tempo in cui si raggiunge uno stato stabile al 99.9999% = “resolving time”
 - La probabilità P di sopravvivenza dello stato metastabile al tempo t segue una legge esponenziale $P(t) = e^{-kt}$

Es. 74HC:

$P(10\text{ns}) \approx 10\%$

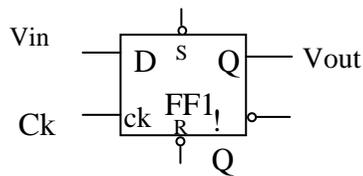
$P(20\text{ns}) \approx 1\%$

$P(100\text{ns}) \approx 10^{-6}$

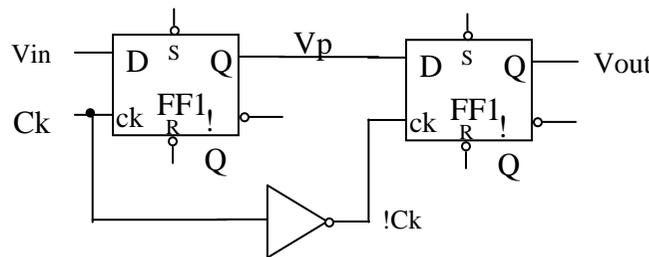
- **Si può avere metastabilità se:**
 - non si rispettano le condizioni di set-up
 - non si rispettano le condizioni di hold
 - non si rispettano le condizioni di minima larghezza d'impulso

Dispositivi sequenziali

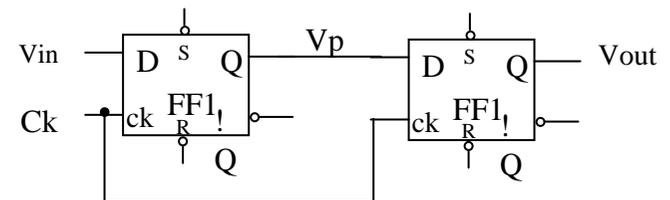
- Circuiti “robusti” alla metastabilità
- Il problema della sincronizzazione in ingresso di segnali asincroni



A



B

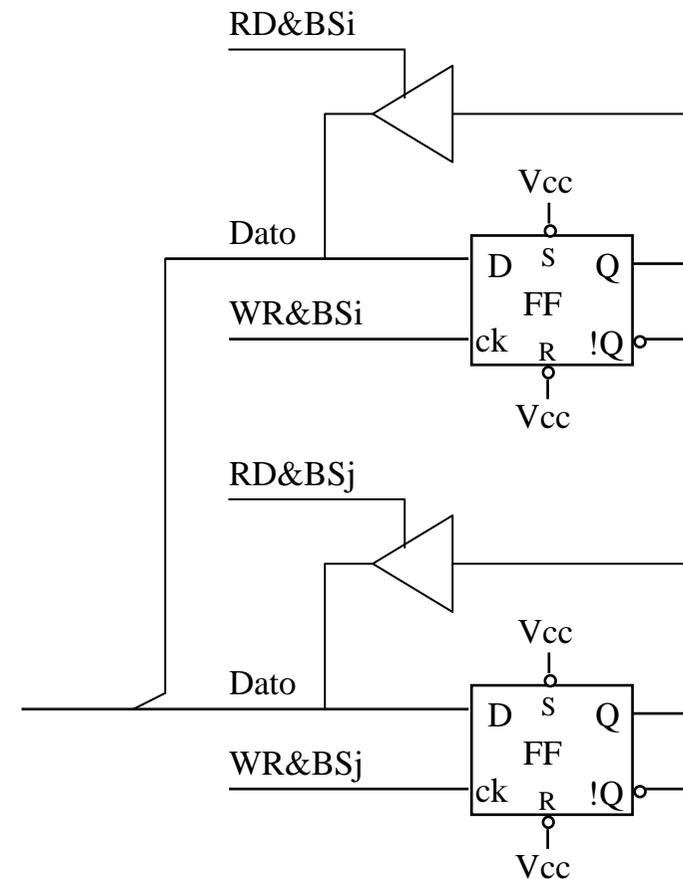


C

- **A:** V_{out} potrebbe essere metastabile per violazione di “set-up” o di “hold”. Il ritardo da V_{in} a V_{out} è variabile tra T_p e $T_p + T_{ck}$
- **B:** V_p potrebbe essere metastabile per violazione di “set-up” o di “hold”. Se $T_{ck}/2$ è superiore al resolving time allora V_{out} si considera esente da metastabilità. Il ritardo tra V_{in} e V_{out} è variabile tra $T_p + 0.5T_{ck}$ e $eT_p + 1.5T_{ck}$
- **C:** V_p potrebbe essere metastabile per violazione di “set-up” o di “hold”. Se T_{ck} è superiore al resolving time allora V_{out} si considera esente da metastabilità. Il ritardo tra V_{in} e V_{out} è variabile tra $T_p + T_{ck}$ e $T_p + 2T_{ck}$

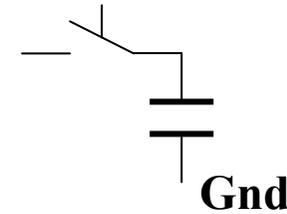
Memorie

- Memorie RAM statiche (SRAM)
- Random Access Memory statica
- La RAM statica si basa sul FF
- Da M linee di indirizzo (ADDR) si generano 2^M linee di selezione BSi
- sul bus dati sono convogliate molte linee (FANOUT e FANOUTd)
- togliendo alimentazione i dati sono perduti (memoria volatile)



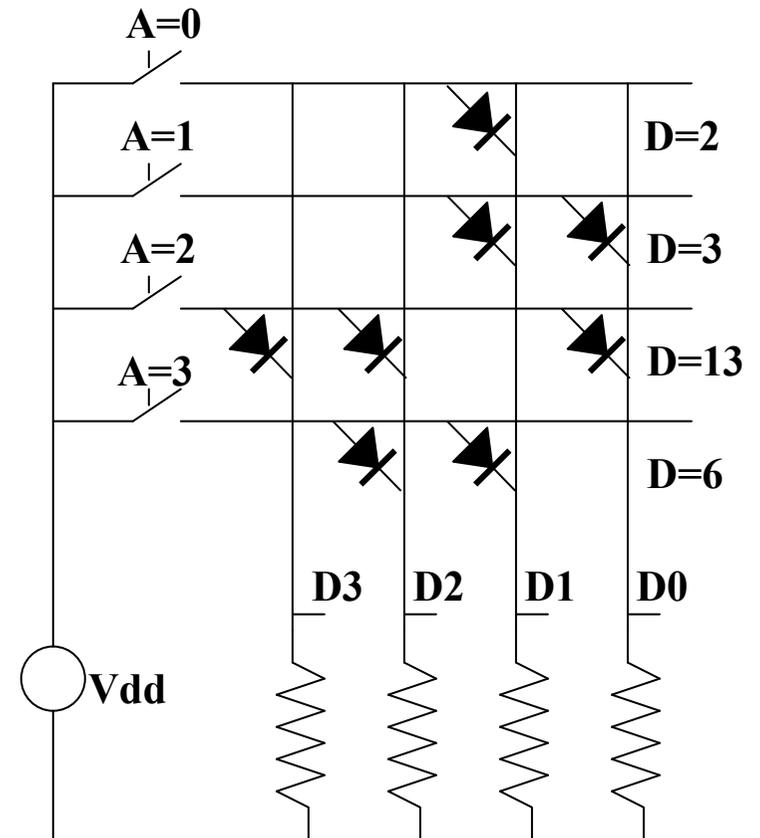
Memorie

- **Memorie RAM dinamiche (DRAM)**
- **Un condensatore intrappola la carica**
 - Necessità di rinfresco
 - Usate in schede video (veloci, elevata integrazione)
- **Synchronous DRAM (SDRAM)**
 - Le operazioni (scrittura e/o lettura) sono vincolate ad un clock
- **Double Data Rate DRAM (DDR SDRAM)**
 - Utilizza entrambi i fronti del segnale di sincronismo
- **DDR**
 - 2.5V, frequenze di clock variabili da 200MHz a 400MHz (DDR 400 o PC3200)
 - Tagli da 128, 256, 512 e 1024 MB. Banda passante pari a 3,2 GB/s
- **DDR2**
 - 1,8V, Frequenze di clock da 400MHz a 1GHz
- **DDR3**
 - 1,5V, Frequenze di clock da 800MHz a 2GHz



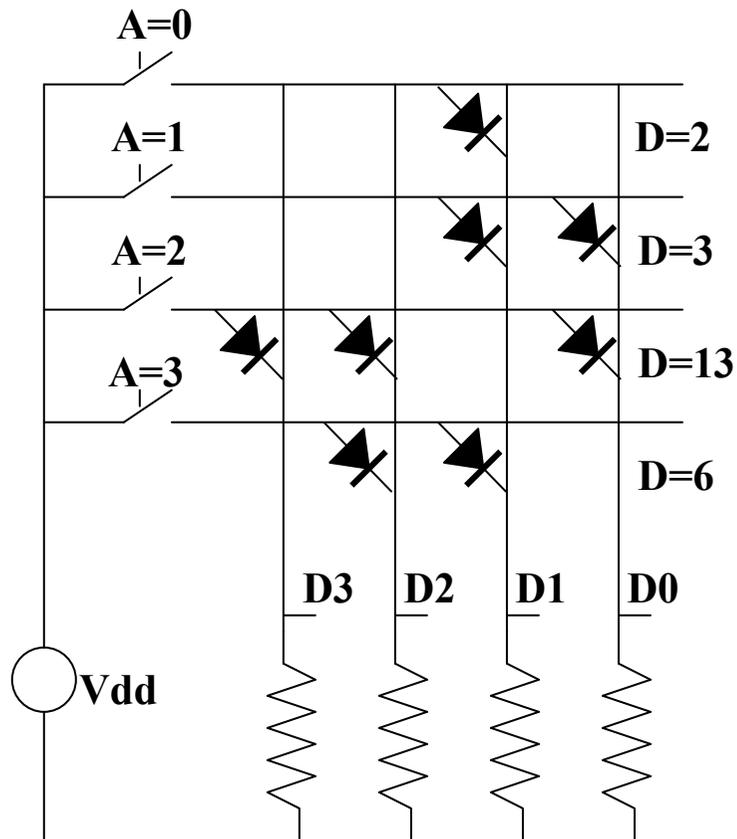
Memorie

- Memorie ROM
- Read Only Memory
- E' scritta dal costruttore
- Non può essere cancellata (memoria non volatile)
- Si può avere un percorso conduttivo (1) che si interrompe programmando (->0)
 - programmazione mediante corrente
 - logica “fuse”
- Si può avere un percorso isolante (0) che si interrompe programmando (->1)
 - programmazione mediante tensione
 - logica “antifuse”
 - (Es. condensatore al quale foro il dielettrico)

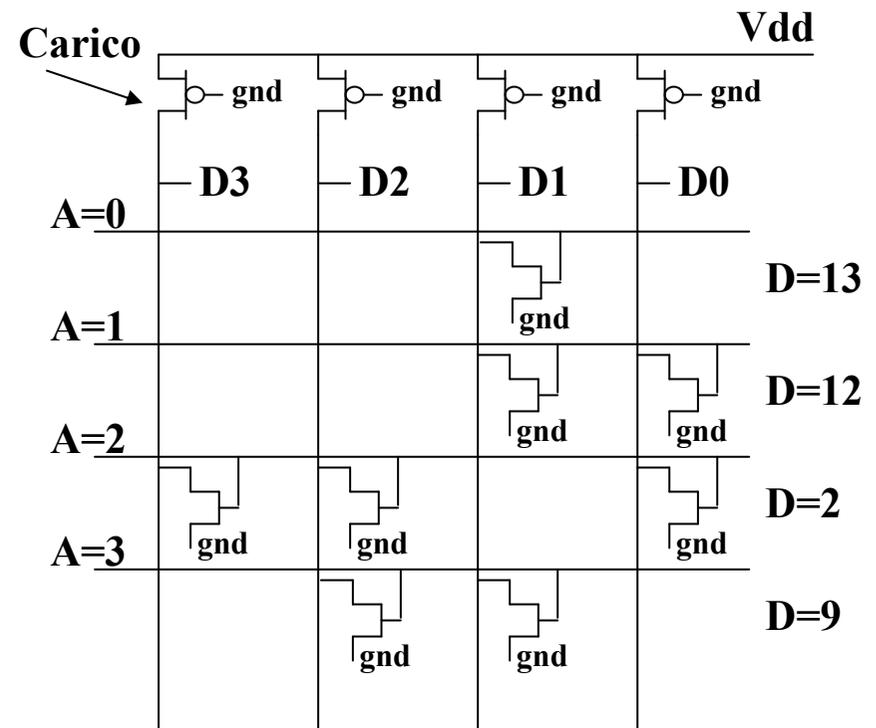


Memorie

- Memorie ROM
- Mask-programmed ROM

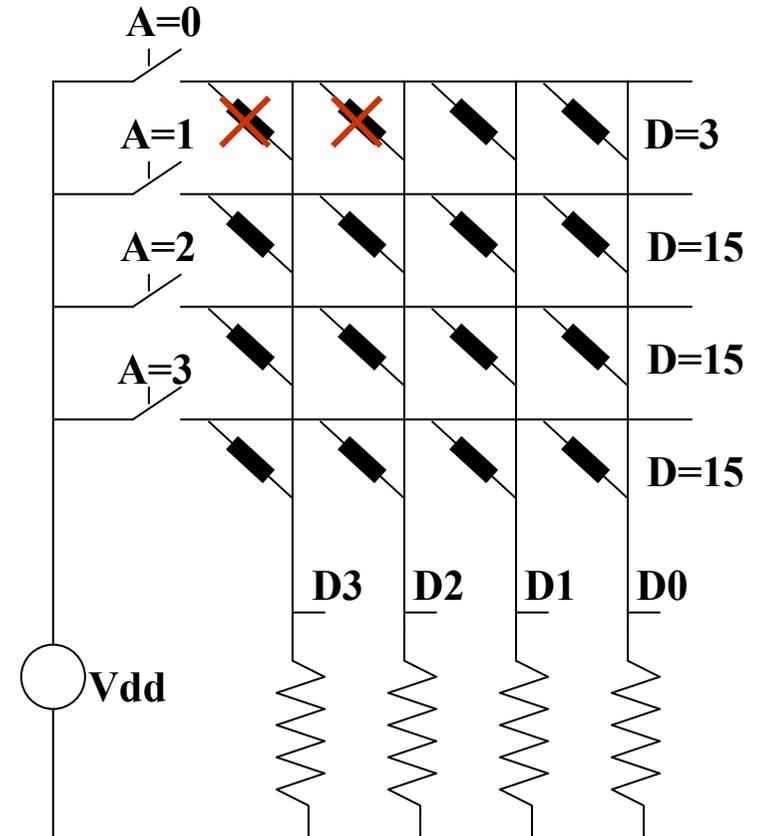


NMOS Mask-programmed ROM



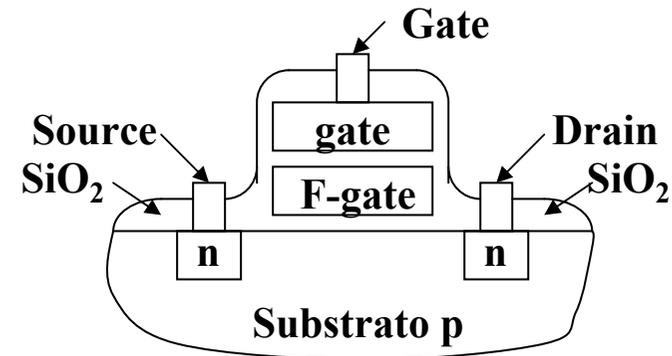
Memorie

- Memorie PROM
- Programmable Read Only Memory
- E' scritta dall'utente
- Non può essere cancellata (memoria non volatile)
- Si può avere un percorso conduttivo (1) che si interrompe programmando (->0)
 - programmazione mediante corrente
 - logica “fuse”
- Si può avere un percorso isolante (0) che si interrompe programmando (->1)
 - programmazione mediante tensione
 - logica “antifuse”
 - (Es. condensatore al quale foro il dielettrico)



Memorie

- Memorie EPROM
- Erasable PROM



- Si utilizza un NMOS speciale con gate aggiuntivo flottante
 - Applicando tensioni gate-source molto elevate si produce un breakdown a valanga (elettroni ad alta energia penetrano attraverso il SiO₂ e rimangono intrappolati nel gate flottante in polisilicio)
 - L'accumulazione della carica nel gate flottante impedisce la formazione del canale (l'NMOS è come se non ci fosse)
 - La luce UV dà agli elettroni intrappolati l'energia sufficiente per liberarsi
- Electrically Erasable PROM (E²PROM)
 - La carica viene accumulata o rimossa dal gate flottante per effetto tunnel grazie ad una riduzione dello strato di ossido tra gate flottante e drain
 - Controllo cella a cella, ma minore densità perché per evitare interferenza tra le celle, le celle sono più complesse (due o più transistor)
- Flash Electrically Erasable PROM (Flash E²PROM)
 - La carica viene accumulata per effetto valanga e rimossa per effetto tunnel
 - Cella a singolo transistor (migliore integrazione), ma cancellazione globale