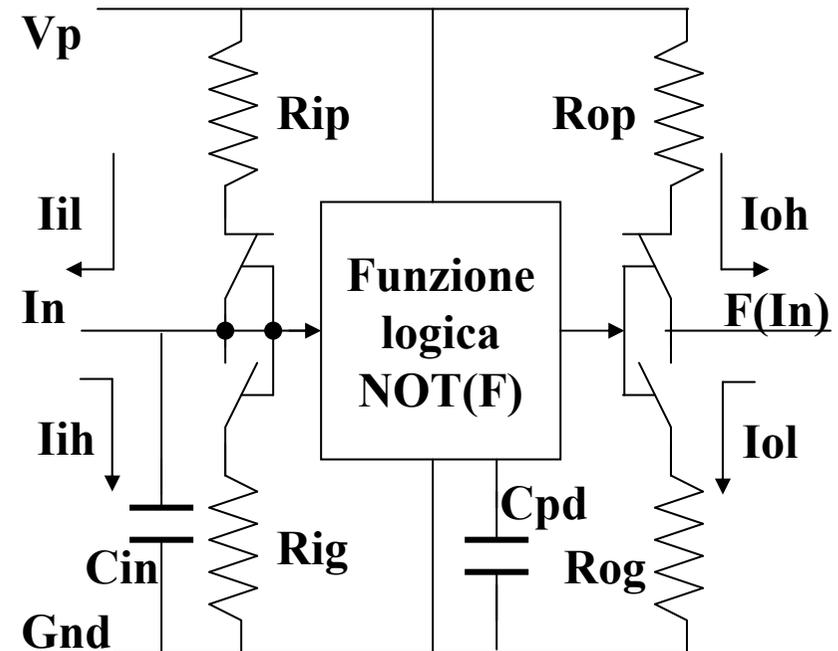


# Famiglie logiche



# Modello e dispositivi reali

- Interruttore ideale e reale
- L'interruttore ideale dovrebbe:
  - Avere resistenza nulla se chiuso
  - Avere resistenza infinita se aperto
  - Essere pilotato mediante un comando elettrico
  - Commutare istantaneamente
  - Avere elevata impedenza d'ingresso
  - Avere bassa capacità d'ingresso
  - Esistere in forma vera e negata
  - Avere comportamento tale da evitare l'integrazione di resistenze



- I primi interruttori utilizzati erano le valvole (ingombranti, dissipative)
- Storicamente:
  - prima si sono resi disponibili i diodi e i transistori bipolari
  - poi i transistori MOS (oggi i più utilizzati)

# Modello e dispositivi reali

- Logiche a diodi

- Il diodo è un interruttore senza comando

- Applico una tensione  $V \rightarrow$  scorre una corrente  $I$

- $I = I_0(e^{V/(n \cdot V_t)} - 1)$

- $V_t = kT/q = T/11600 \approx 26mV$  ( $T=300^\circ K$ )

- $I_0 \sim nA$  (raddoppia per  $dT=10^\circ C$ )

- $n \sim 2$  per diodi al Si

- Interruttore aperto se  $I \sim I_0 \sim nA$

- Interruttore chiuso se  $I \sim mA$

- $1mA = I_0(e^{V/(n \cdot V_t)} - 1) \rightarrow (1mA + 1nA)/1nA \sim e^{V/(n \cdot V_t)}$

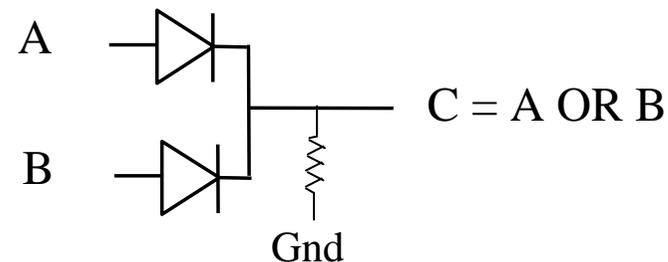
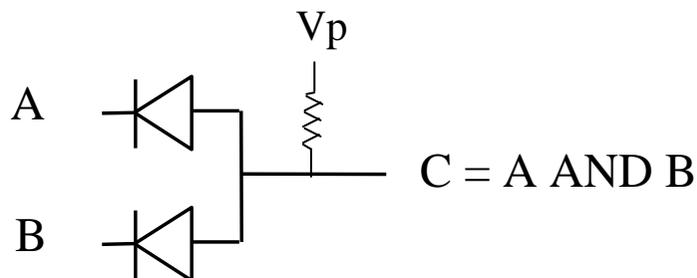
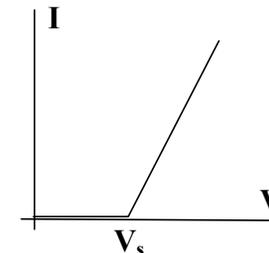
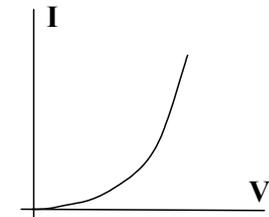
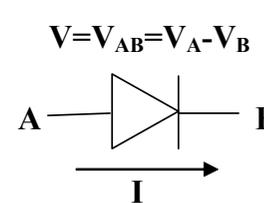
- $\rightarrow V/52mV \sim \ln 10^6 \rightarrow V = V_s \sim 0.7V$

- Modello semplificato del diodo

- $I \sim 0$  per  $V < V_s \sim 0.7V$

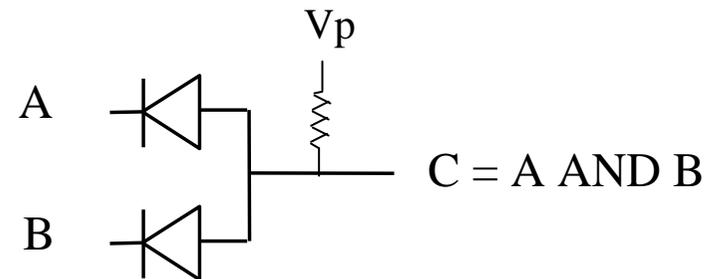
- $I = (V - V_s)/R_d$  per  $V > V_s$

- $R_d = dV/dI \sim$  da  $5$  a  $10 \Omega$

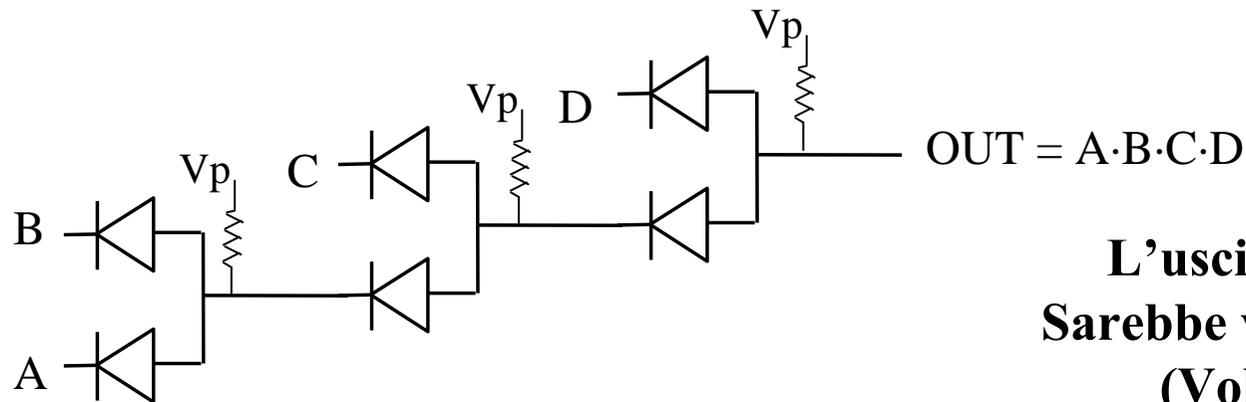


# Modello e dispositivi reali

- Logiche a diodi
- perché la logica a diodi non ha dispositivi
  - un dispositivo è fatto da tante porte elementari
  - calcolo dei livelli di tensione ( $V_p = 3V$ )  
Se  $V_i < (V_p - V_s)$  allora  $V_o = V_i + V_s$   
altrimenti  $V_o = V_p$



- Cosa succede se applico A = “0” e B,C,D =  $V_p$ ?
  - Porta AND a 4 ingressi realizzata con 3 porte AND a due ingressi



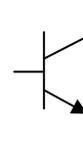
L'uscita a  $\sim 2,1V$   
Sarebbe vista come “1”  
( $V_o > V_{il}$ !!!)

# Modello e dispositivi reali

- **Interruttori a confronto: MOS e BJT**

- **Bipolare npn**

- equivale ad un interruttore che si chiude e fa passare una corrente  $I_c$  se si applica tra base ed emettitore una tensione  $V_{be} > V_t \approx 0.6V$



**Vantaggi:**

- Elevate correnti in gioco (veloce, potente), Semplicità tecnologica

**Svantaggi:**

- Elevate correnti in gioco (dissipazione)
  - Richiede resistenze (ingombranti su Si) per il controllo delle correnti (Una resistenza in polisilicio cristallino occupa 1000 volte un transistor)
- Ha una tensione di uscita non nulla anche “a vuoto” ( $V_{ce,sat} \approx 0,3V$ )

- **NMOS arricchimento**

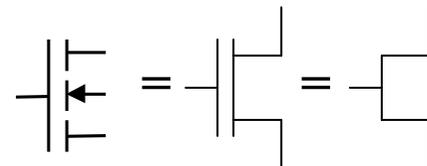
- equivale ad un interruttore che si chiude e fa passare una corrente  $I_d$  se si applica tra gate e source una tensione  $V_{gs} > V_t \approx 1-2V$

**Vantaggi:**

- Può agire come una resistenza (regione ohmica) (non servono resistenze)
- Non richiede corrente in ingresso
- Non ha tensione di uscita “a vuoto” ( $V_{ds} \approx 0V$ )

**Svantaggi:**

- Elevata capacità d'ingresso



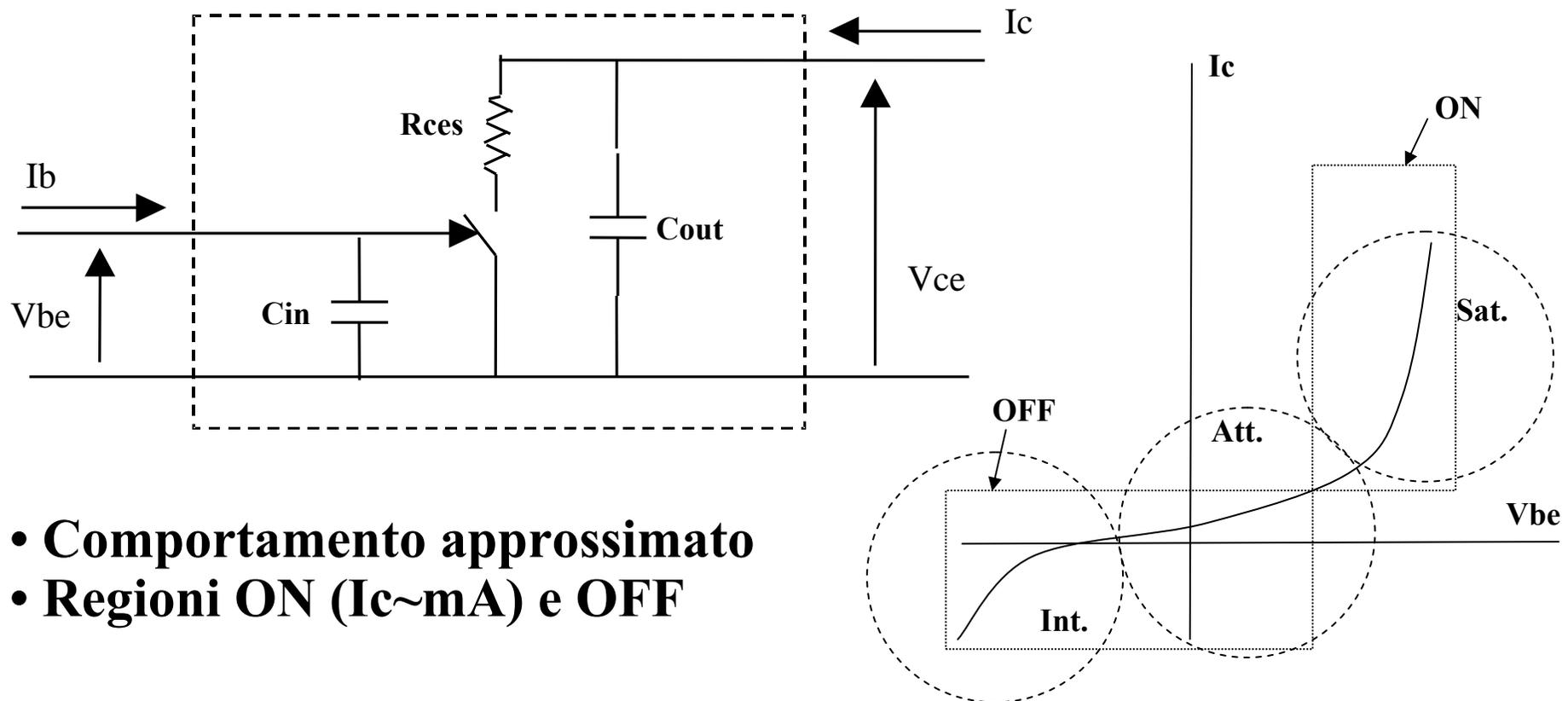
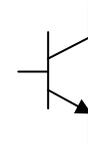
# Modello e dispositivi reali

- **Famiglie logiche**
- **Definizione di Famiglia logica**
  - Insieme di dispositivi SSI e MSI che permettono di realizzare la maggior parte delle funzioni logiche e che sono accumulati da criteri progettuali simili e uno stesso processo tecnologico
  - Stessi livelli di tensione e di corrente, stesse caratteristiche di assorbimento
  - Stessi tempi di salita e discesa

<b>Classificazione</b>	<b>Transistors</b>	<b>Dispositivi tipici</b>
<b>SSI (Small Scale Integration)</b>	<b>&lt;200</b>	<b>porte logiche</b>
<b>MSI (Medium “ “)</b>	<b>da 200 a 2000</b>	<b>contatori</b>
<b>LSI (Large “ “)</b>	<b>da 2000 a 20000</b>	<b>dispositivi periferici</b>
<b>VLSI (Very Large “ “)</b>	<b>da 20000 a 200000</b>	<b>processori, memorie</b>
<b>ULSI (Ultra Large “ “)</b>	<b>&gt; 200000</b>	<b>processori evoluti</b>

# Modello e dispositivi reali

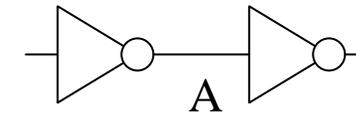
- Famiglie logiche bipolari
- Il transistor bipolare (Bipolar Junction Transistor)
  - Interdizione:  $V_{be} < V_s, I_c < I_{cbo}$
  - Zona attiva:  $V_{be} \sim V_s, I_c = h(FE) \cdot I_b$
  - Saturazione:  $I_c < h(FE) \cdot I_b$



- Comportamento approssimato
- Regioni ON ( $I_c \sim mA$ ) e OFF

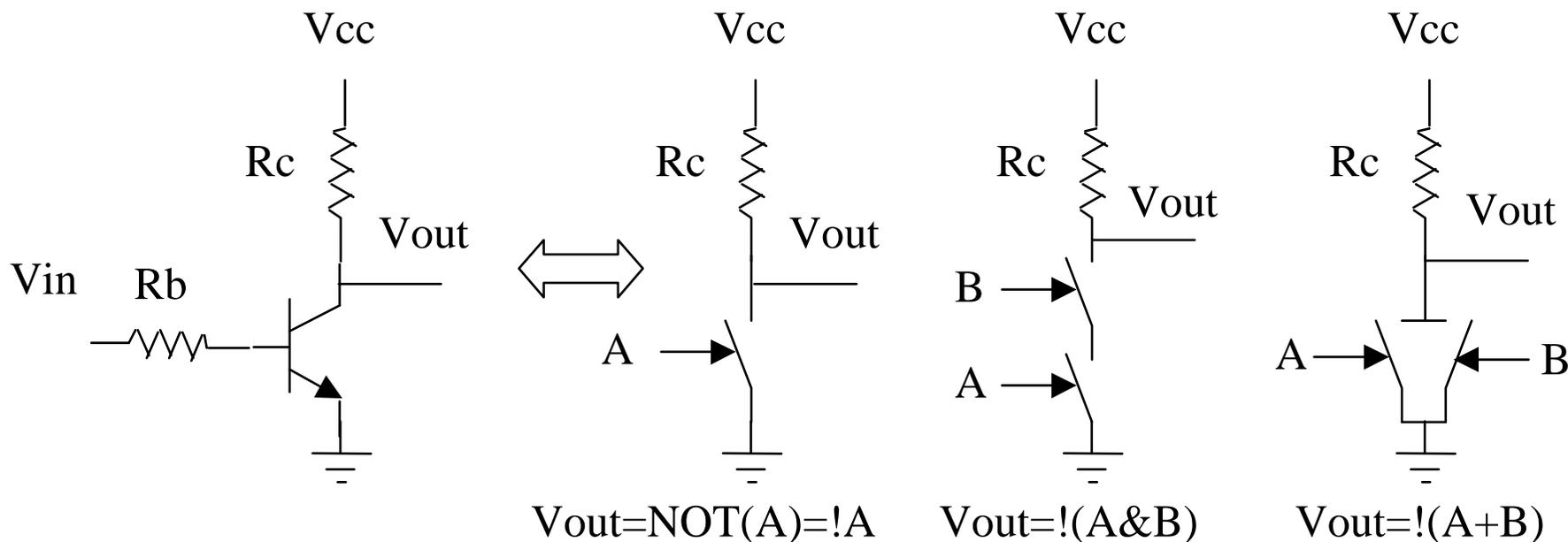
# Modello e dispositivi reali

- Le prime famiglie logiche bipolari, RTL



- **RTL (Resistor Transistor Logic)**

- La porta NOT richiede l'integrazione di due resistenze,  $R_b$  e  $R_c$
- $V_A = "1"$ , transistor "interdetto"  $(V_{cc} - V_A) / R_c = (V_A - V_{be,sat}) / R_b$
- $V_A = "0"$ , transistor in saturazione  $(V_{cc} - V_A) / R_c + N \cdot I_{il} < I_{c,max}$
- Saturazione:  $I_c < I_b \cdot h_{FE}$      $I_b = (V_{in} - V_{be,sat}) / R_b$      $I_c = (V_{cc} - V_{ce,sat}) / R_c$
- La capacità di carico  $C_l = \sum C_{in}$  si scarica velocemente sul transistor in conduzione ( $R_{ce,sat} < 100 \Omega$ ) ma si carica lentamente su  $R_c$  ( $R_c \gg 100 \Omega$ )
- I dispositivi RTL dissipano potenza statica quando  $V_{out} = "0"$  ( $I_{ccl} > I_{cch}$ )



# Modello e dispositivi reali

- Le prime famiglie logiche bipolari, RTL

- Calcolo livelli logici pilotando n carichi

$V_{cc}=3V$ ,  $R_c=640\Omega$ ,  $R_b=450\Omega$ ,  $h(FE)=50$ ,  $V_{ce,sat}=0.2V$

- Uscita a “0” (transistore ON):

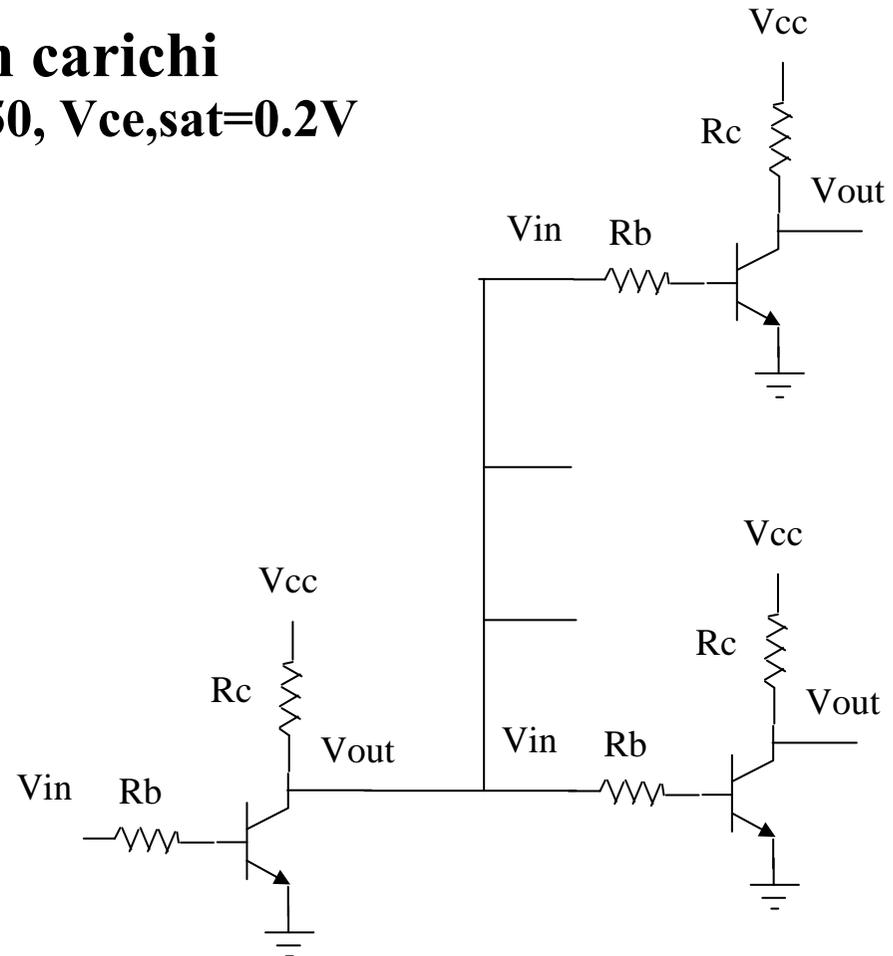
- $V_{ol} = V_{ce,sat} = 0.2V$
- $I_{ol} > I_{il} \approx 0$
- $I_{ih} = I_b > I_c/hFE \approx 0.1mA$
- $V_{ih} = V_{be,sat} + R_b \cdot I_b \approx 0.8V$

- Uscita a “1” (transistore OFF):

- $V_{oh} = V_{cc} - R_c \cdot I_{oh} > V_{ih}$
- $I_{oh} > n \cdot I_{ih}$
- $I_{il} = I_b \approx I_c/hFE \approx 2\mu A$
- $V_{il} < V_s + R_b \cdot I_b \approx 0.6V$

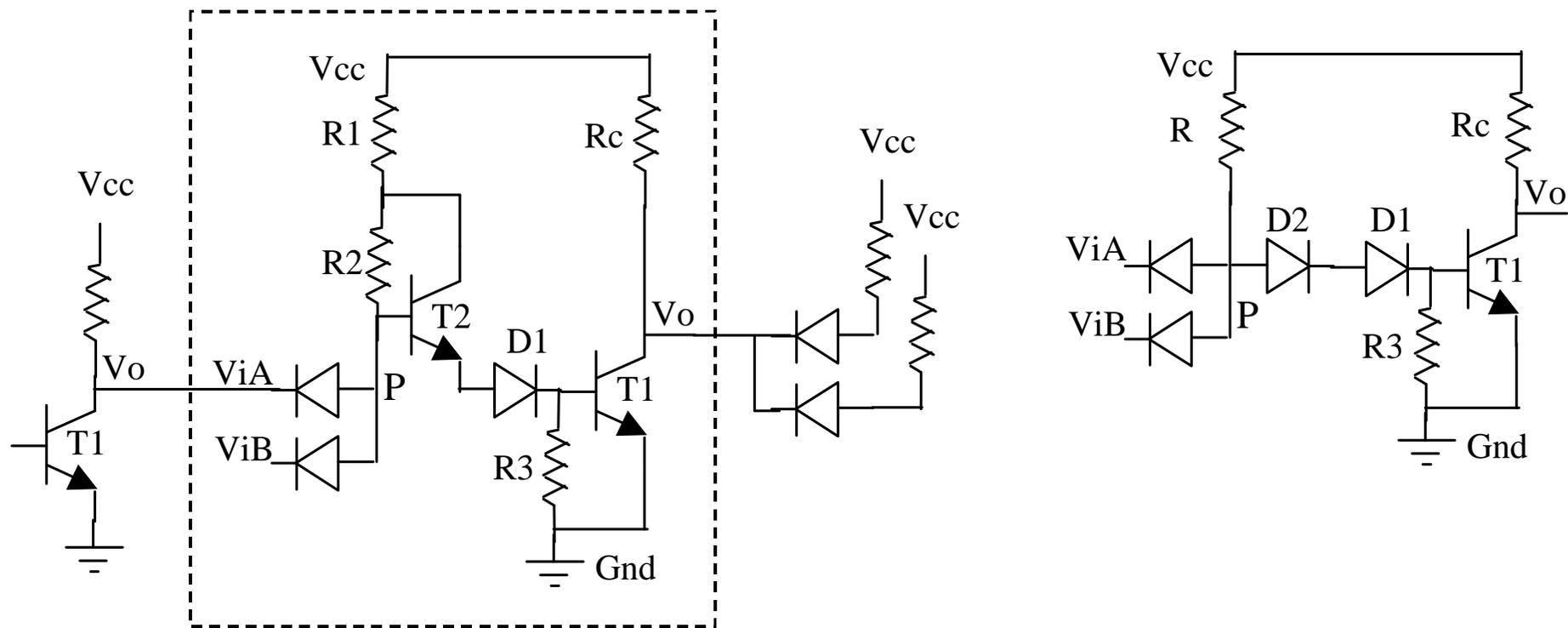
- Se si fissa  $V_{oh} = 1.2V$

$$- 1.2V = 3V - 640\Omega \cdot n \cdot I_{ih} \quad n \approx 28$$



# Modello e dispositivi reali

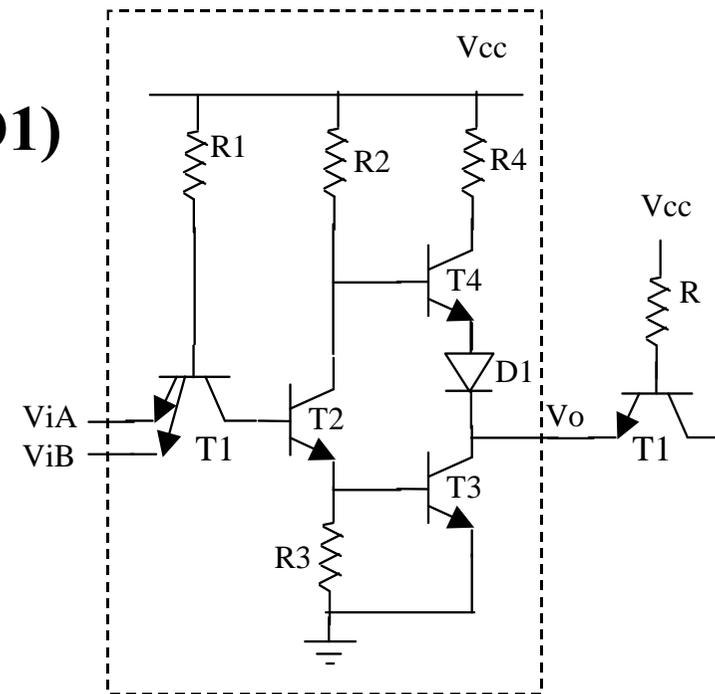
- Le prime famiglie logiche bipolari, DTL
- Diminuzione  $I_{ih}$  rispetto a RTL (“1” debole,  $V_{oh}$  dipende molto da  $I_{oh}$ )
- Introduzione del carico attivo (schema a sinistra)



- Se  $T2=D2$ ,  $R=R1+R2$  (schema semplificato a dx) -> Porta NAND
- $OUT="1"$  ->  $I_c = (V_{cc}-V_{ce,sat})/R_c + N(V_{cc}-V_{d,sat}-V_{ce,sat})/R$  -> R grande
- $OUT="0"$  -> T1 deve avere sufficiente corrente in base per saturare -> R piccola

# Modello e dispositivi reali

- La più famosa famiglia logica bipolare, TTL
- T1 in tecnologia multiemettitore (AND)
- Valori resistivi tipici ( $V_{cc}=5V$ )
  - $R1 \approx 4k\Omega$ ,  $R2 \approx 1.6k\Omega$ ,  $R3 \approx 1k\Omega$ ,  $R4 \approx 130\Omega$
- Carico attivo in uscita ( $R_{out} = R4, T4, D1$ )
  - $R_{out}$  grande se l'uscita è a "0"  
( $I_{ol}$  grande)
  - $R_{out}$  piccola se l'uscita è a "1"  
( $T_{plh}$  piccolo)
- Stadio di uscita "totem-pole"
- T3 e T4 lavorano in opposizione di fase
- T4 opera in regione attiva  
(deve essere veloce a spegnersi)
- Senza D1, se T2=ON allora T3=ON  
e anche T4=ON (percorso a bassa impedenza)



# Modello e dispositivi reali

- La più famosa famiglia logica bipolare, TTL

- $V_{iA} = "0"$

$T1=$ Diretto,  $T2=$ OFF,  $T3=$ OFF,  $T4=$ ON

$I_{c1} \approx 0$ ,  $I_{e1} \approx I_{b1} \approx (V_{cc} - V_{be,sat} - V_{ol}) / R1$

$V_o = V_{cc} - R2 * I_{b4} - V_{be4} - V_d \approx 3.6V$

( $T4$  in regione attiva  $\rightarrow V_{be4} \approx 0.7V$ ,  $I_{b4} \approx 0$ )

- $V_{iA} = "1"$ ,  $0.7 < V_{b2} < 1.4V$

$T1=$ Inverso,  $T2=$ ON,  $T3=$ OFF,  $T4=$ ON

$V_{b4}$  decresce e fa scendere  $V_{out}$

$V_o$  decresce con  $dV_{out}/dV_{b2} \approx -R2/R3$

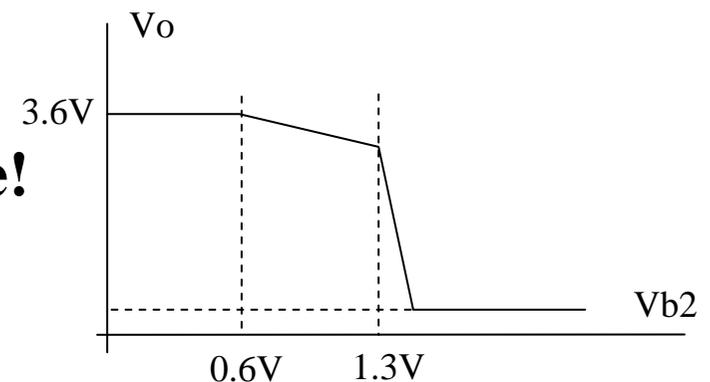
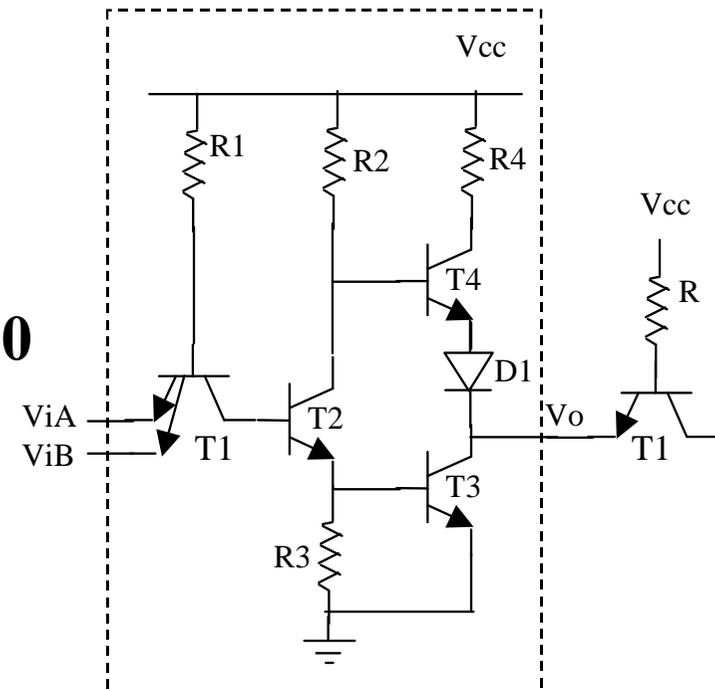
- $V_{iA} = "1"$ ,  $V_{b2} = 1.4V$

$T1=$ Inverso,  $T2=$ ON,  $T3=$ ON,  $T4=$ ON

$V_o$  scende a  $V_{ce,sat}$  e  $T4$  si deve spegnere!

- $V_{iA} = "1"$ ,  $V_{b2} > 1.4V (=V_{soglia})$

$T1=$ Inverso,  $T2=$ ON,  $T3=$ ON,  $T4=$ OFF



# Modello e dispositivi reali

- La più famosa famiglia logica bipolare, TTL

- Calcolo dei livelli di tensione e corrente  
 $R1 \approx 4k\Omega$ ,  $R2 \approx 1.6k\Omega$ ,  $R3 \approx 1k\Omega$ ,  $R4 \approx 130\Omega$   
 $V_{cc} = 5V$

- Uscita a “0” (transistore T3 ON)

$$V_{ol} \approx V_{ce,sat} = 0.2V$$

$$I_{ol} = I_{c,max} - I_{cbo} > n * I_{il}$$

$$I_{ih} = I_{cbo} < 10\mu A$$

$$V_{ih} = 2V_{be,sat} > 1.4V \approx 1.5V$$

- Uscita a “1” (transistore T3 OFF)

$$V_{oh} = V_{cc} - R2 * I_{b4} - V_{be4} - V_d \approx$$

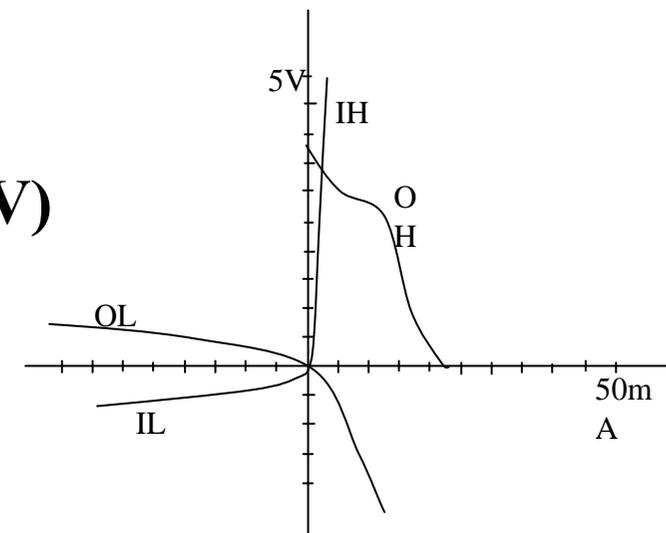
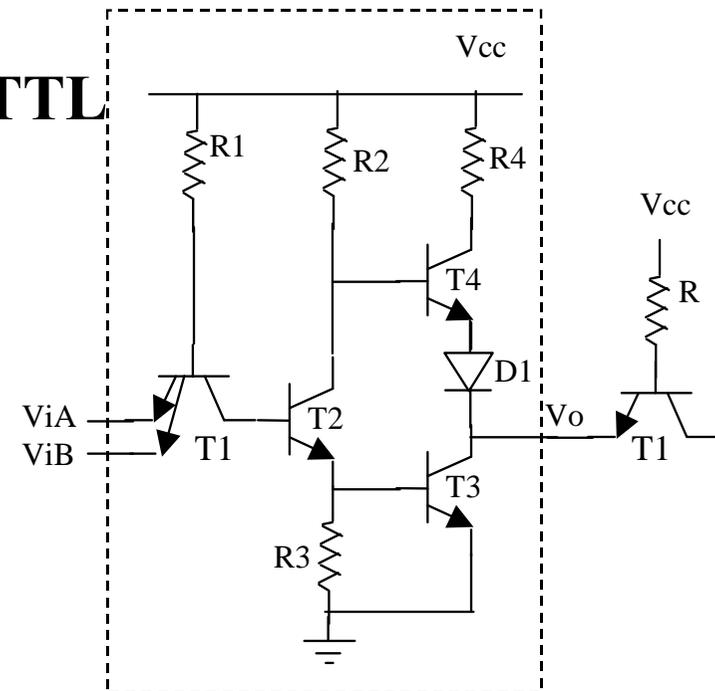
$$\approx V_{cc} - V_d - V_{ce} - R_c * I_{oh} > V_{ih} \text{ (tip. } V_{oh} \approx 3V)$$

$$I_{oh} > n * I_{ih} \text{ (tip. } n > 10)$$

$$I_{il} = (V_{cc} - V_{ce,sat} - V_{d,sat}) / R1 \approx 1mA$$

$$V_{il} < 1.4V \approx 1.3V$$

**NOTA:  $I_{ccl} > I_{cch}$**



# Modello e dispositivi reali

- **Famiglie logiche bipolari**
- **HTTL (High Speed TTL)**
  - Riduzione dei valori resistivi -> aumento dei consumi
- **LTTL (Low-power TTL)**
  - Aumento dei valori resistivi -> Riduzione delle prestazioni
- **STTL (Schottky TTL)**
  - Utilizzo di transistori Schottky  
(diodo Schottky metallo-semiconduttore,  
 $V_d \approx 0.35V$ ,  $t_p \approx 5ps$ )
- **LSTTL (Low-power Schottky TTL)**
- **FTTL (Fast –Fairchild Advanced Schottky TTL- TTL)**
- **ASTTL (Advanced Schottky TTL)**
- **ALSTTL (Advanced Low-power Schottky TTL)**

# Modello e dispositivi reali

- Famiglia logica bipolare LSTTL

- Caratteristiche statiche

SIGLA	MIN.	TYP.	MAX.	CONDIZIONI
Vih	2V			
Vil			0.8V	
Ioh			-0.4mA	
Iol			8.0mA	
Voh	2.7V	3.4V		Vcc=min., Vil=max., Ioh=max.
Vol		0.35V	0.5V	" " Vih=min., Iol=max.
Iih			20μA	Vcc=max., Vin=2.7V
Iil			-0.4mA	" " Vin=0.4V
Icch		0.8mA	1.6mA	Vcc=max., Vin=0V
Iccl		2.4mA	4.4mA	" " Vin=4.5V

- Caratteristiche dinamiche

	Test conditions	Tplh,typ	Tplh,max	Tphl,typ	Tphl,max
MITSUBISHI	Vcc=5V Cl=15pF	6ns	15ns	5ns	15ns
TEXAS	Vcc=5V Cl=15pF	9ns	15ns	9ns	15ns
FAIRCHILD	Vcc=5V Cl=10pF	-	10ns	-	10ns

# Modello e dispositivi reali

- Famiglie logiche bipolari
- Indice di merito = prodotto  $T_{pd} * P_d$

## Circuito integrato 74XX00 (4 porte NAND)

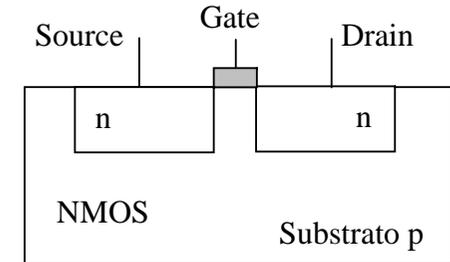
Serie	$T_{pd}$ porta NOT (ns)	$P_d$ (mW)	Indice di merito (pJ)
74 (TTL std)	10	10	100
74S	3	19	57
74LS	9.5	2	19
74AS	1.5	20	30
74ALS	4	1	4

# Modello e dispositivi reali

- **MOSFET**

- **MOSFET** (Field Effect Transistor with Metal-Oxide Semiconductor)

- Isolamento del gate ( $I_i \approx 0$ , resistenza d'ingresso  $> M\Omega$ )
- Lo strato di ossido agisce come il dielettrico di  $C_{in} \approx pF$ )
- **ATTENZIONE!**  $V=Q/C$  piccole cariche possono produrre sovratensioni (ElectroStatic Discharge)

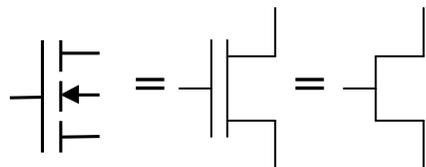


- **NMOS** (MOS a canale n -portatori veloci-)
- **PMOS** (MOS a canale p -contaminanti aria-)

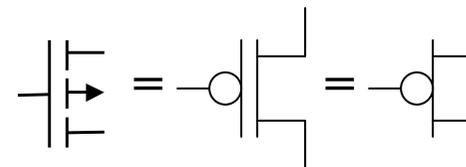
NMOS ARRICCHIMENTO	->	CONDUZIONE PER $V_{gs} > V_t$ ( $V_t > 0$ )
" SVUOTAMENTO	->	" " $V_{gs} > V_t$ ( $V_t < 0$ )
PMOS ARRICCHIMENTO	->	" " $V_{gs} < V_t$ ( $V_t < 0$ )
" SVUOTAMENTO	->	" " $V_{gs} < V_t$ ( $V_t > 0$ )

ARRICCHIMENTO -> CONDUZIONE PER  $|V_{gs}| > |V_t|$   
 SVUOTAMENTO -> " "  $|V_{gs}| < |V_t|$

3



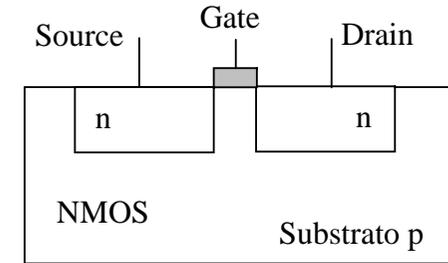
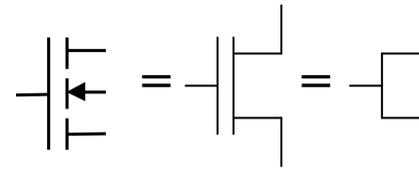
**NMOS ad arricchimento**



**PMOS ad arricchimento**

# Modello e dispositivi reali

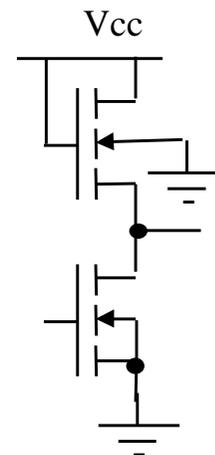
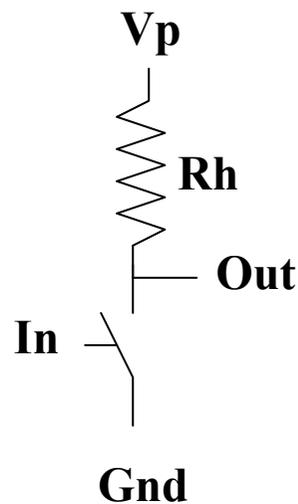
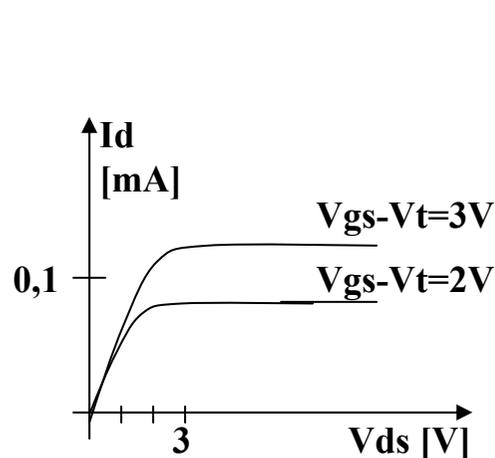
- NMOS ad arricchimento
- NMOS arricchimento



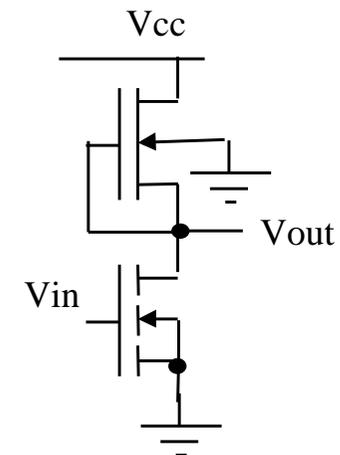
ZONA FUNZIONAMENTO	$V_{gs}$	$V_{ds}$	$I_d$
INTERDIZIONE	$< V_t$	0	
OHMICA (TRIODO)	$> V_t$	$< V_{gs} - V_t$	$\beta((V_{gs} - V_t)V_{ds} - V_{ds}^2/2) \approx V_{ds}/R_{on}$
SATURAZIONE	$> V_t$	$> V_{gs} - V_t$	$\beta(V_{gs} - V_t)^2/2$

( $\beta = \mu \cdot C \cdot W/L$  dipende processo tecnologico e dalle dimensioni del canale.  $\beta \sim 20 \mu A/V^2$ ,  $R_{on} \sim 5k\Omega$ )  
 ( $\mu$  = mobilità portatori,  $C$  = capacità canale per unità di superficie,  $W/L$  = larghezza (/lunghezza) canale)

– Più veloce ad accendersi che a spegnersi



NOT NMOS ad arricchimento



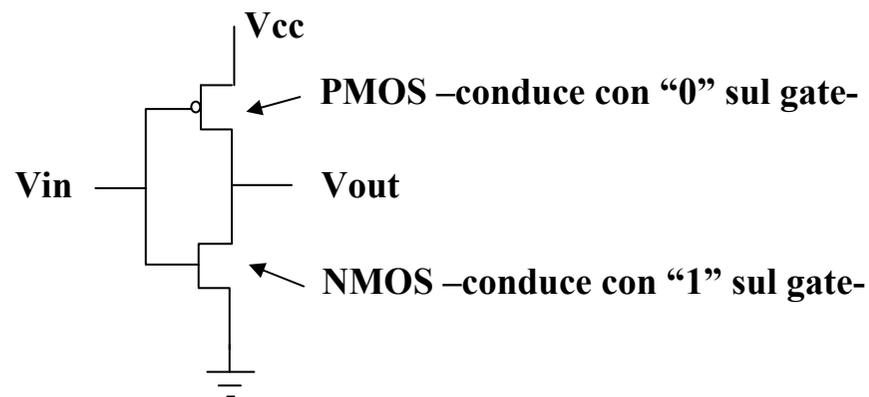
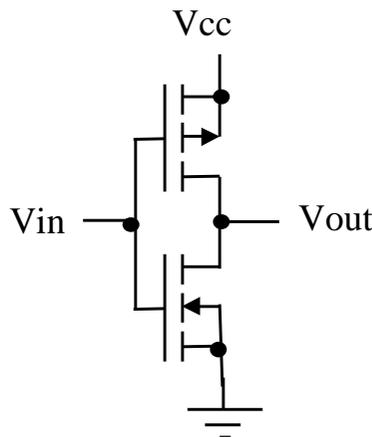
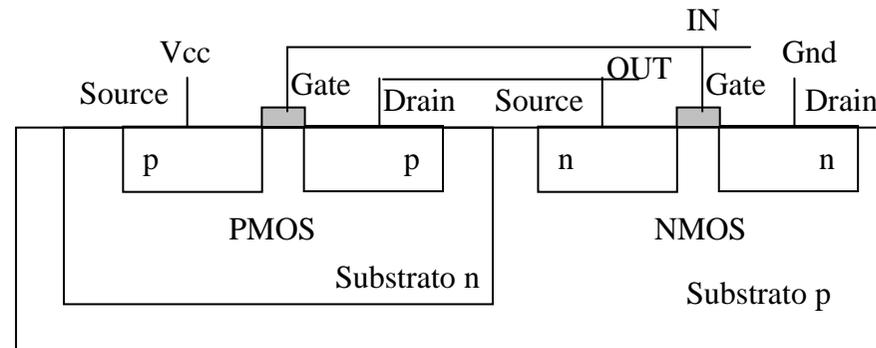
NOT NMOS con carico a svuotamento

# Modello e dispositivi reali

- CMOS (Complementary MOS)

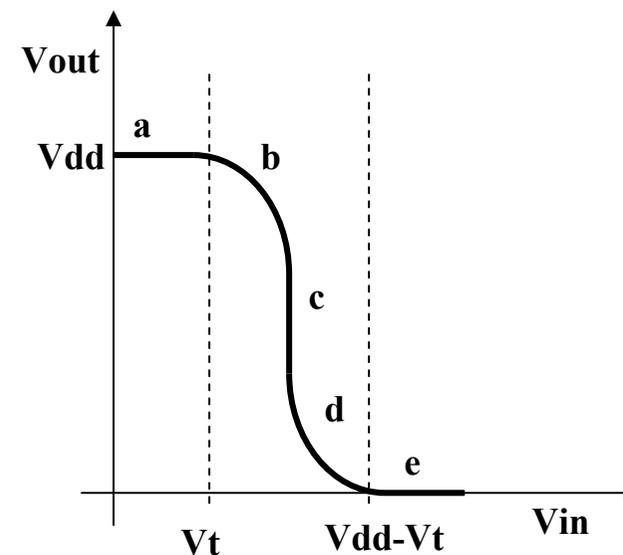
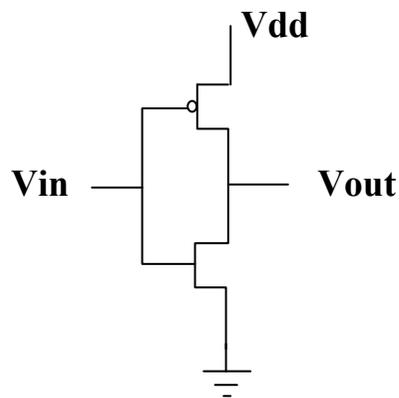
- L'elemento CMOS consta di due MOSFET ad arricchimento con canali a polarità opposta (NMOS e PMOS) che lavorano in opposizione di fase

- Maggiore velocità di commutazione e simmetria dei tempi ( $T_{phl} \approx T_{plh}$ )
- Compensazione termica, dissipazione di potenza statica trascurabile ( $V_{cc} \cdot I$ )
- Ottime caratteristiche statiche ( $V_{oh} \approx V_{cc}$ ,  $V_{ol} \approx gnd$ ,  $I_{ih} \approx I_{il} \approx 0$ ,  $V_t \approx (V_{oh} + V_{ol})/2$ )



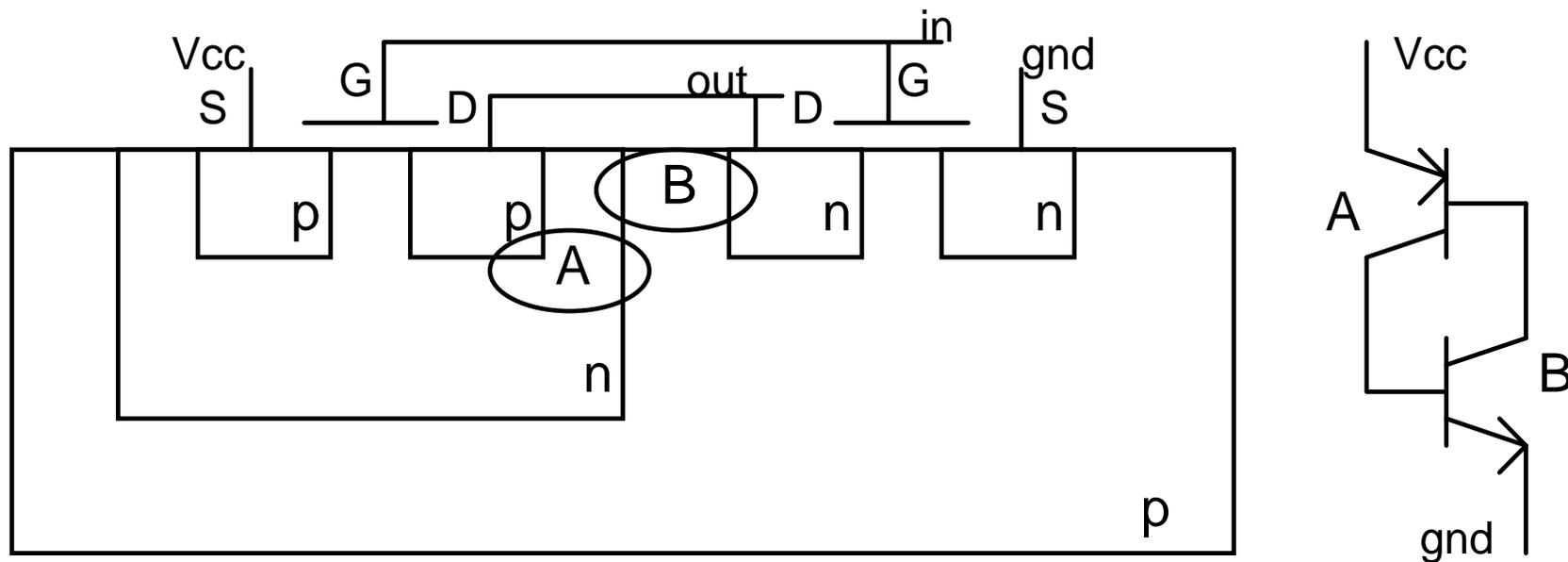
# Modello e dispositivi reali

- **CMOS (Complementary MOS)**
- **Regione “a”** :  $V_{in} < V_t$ ,  $I=0$ , PMOS zona ohmica, NMOS off,  $V_{out}=V_{dd}$
- **Regione “b”** : PMOS zona ohmica (triode), NMOS saturazione
- **Regione “c”** : PMOS saturazione, NMOS saturazione (massimo consumo)
- **Regione “d”** : PMOS saturazione, NMOS zona ohmica (triode)
- **Regione “e”** :  $V_{in} > V_{dd} - |V_t|$ ,  $I=0$ , NMOS zona ohmica, PMOS off,  $V_{out}=0$
- **NOTA**: il consumo durante la commutazione si modella bene mediante  $C_{pd}$  (una corrente limitata nel tempo corrisponde ad un trasferimento di carica)



# Modello e dispositivi reali

- CMOS (Complementary MOS)
- Avvicinando il transistor NMOS al PMOS (circuiti integrati) si creano transistori bipolari parassiti (LATCH-UP)
- Se i transistori bipolari innescano un percorso di conduzione si crea una corrente di corto circuito che può portare alla distruzione del componente
- Drogaggi di guardia per limitare la probabilità di innesco



# Modello e dispositivi reali

- **Famiglie logiche CMOS**
- **4000/4000B (Buffered) (1967)**
  - Ampio range di alimentazione (da 3V a 18V). Rispetto ai TTL è più lenta ( $\approx 10$  volte) ma consuma meno ( $\approx 1/3$ )
- **74C (CMOS pin-compatibile TTL)**
- **74HC (High Speed CMOS)**
  - Competitiva rispetto ai 74LS
- **74HCT (High Speed CMOS TTL compatible)**
  - Si può interfacciare ai TTL ( $V_{il}$  e  $V_{ih}$  uguali ai TTL)
- **74AC (Advanced CMOS)**
  - Tecnologia con tempi di commutazione  $\approx 1\text{ns}$  e dissipazione di potenza “CMOS”
- **74AC11**
  - (rinuncia alla compatibilità pin-to-pin per migliorare la distribuzione della  $V_{cc}$ )
- **74ACT (Advanced CMOS TTL compatible)**

# Modello e dispositivi reali

- **Famiglia 74HC**

- **Caratteristiche statiche**

$2V < V_{cc} < 6V$  (Nella famiglia TTL compatibile  $V_{cc}=5V \pm 10\%$ )

$V_{oh} = 99\%V_{cc}$        $V_{ol} = 1\%V_{cc}$        $V_{ih} = 70\%V_{cc}$        $V_{il} = 30\%V_{cc}$

$I_{oh} = I_{ol} = 4mA$        $I_{ih} = I_{il} = 1\mu A$

- **Assorbimento di potenza**

$I_{cc}(74LS00) \approx 5mA$  (valore medio tra  $I_{cch}$  e  $I_{ccl}$ )

$I_{cc}(74HC00) \approx 5\mu A$  ( $f < 10kHz$ )

$I_{cc}(74AC00) \approx 0.2\mu A$  ( $f < 10kHz$ )

$I_{cc}(74HC00) \approx 5mA$  ( $f \approx 10MHz$ )

$I_{cc}(74AC00) \approx 0.4mA$  ( $f \approx 10MHz$ )

- **Caratteristiche dinamiche**

$T_{phl} \approx T_{plh} \approx 20ns$ ,      Tempi di propagazione circa doppi rispetto ai 74LS

- **Famiglie logiche CMOS**

Serie	$I_I$	$C_{in}$	$C_{pd}$	$T_{pd}$ ( $V_{dd}=5V, T=25^\circ C, C_I=50pF$ )	$F_{max}$
4000B	$1\mu A$	10pF	30pF	250ns,max	2MHz
74HC	$1\mu A$	10pF	30pF	20ns,max	15MHz
74AC	$1\mu A$	4pF	20pF	6ns,max	40MHz

# Modello e dispositivi reali

- **Interfacciamento TTL CMOS ( $V_p = 5V$ )**

Parametro	TTL			CMOS	
	74XX	74LSXX	74ALSXX	74ACXX	74HCTXX
<b>I<sub>ih</sub>(max)</b>	<b>40<math>\mu</math>A</b>	<b>20<math>\mu</math>A</b>	<b>20<math>\mu</math>A</b>	<b>1<math>\mu</math>A</b>	<b>1<math>\mu</math>A</b>
<b>I<sub>il</sub>(max)</b>	<b>1.6mA</b>	<b>400<math>\mu</math>A</b>	<b>100<math>\mu</math>A</b>	<b>1<math>\mu</math>A</b>	<b>1<math>\mu</math>A</b>
<b>I<sub>oh</sub>(max)</b>	<b>400<math>\mu</math>A</b>	<b>400<math>\mu</math>A</b>	<b>400<math>\mu</math>A</b>	<b>4mA</b>	<b>4mA</b>
<b>I<sub>ol</sub>(max)</b>	<b>16mA</b>	<b>8mA</b>	<b>8mA</b>	<b>4mA</b>	<b>4mA</b>
<b>V<sub>ih</sub>(min)</b>	<b>2.0V</b>	<b>2.0V</b>	<b>2.0V</b>	<b>3.5V</b>	<b>2.0V</b>
<b>V<sub>il</sub>(max)</b>	<b>0.8V</b>	<b>0.8V</b>	<b>0.8V</b>	<b>1.5V</b>	<b>0.8V</b>
<b>V<sub>oh</sub>(min)</b>	<b>2.4V</b>	<b>2.7V</b>	<b>2.5V</b>	<b>4.9V</b>	<b>4.9V</b>
<b>V<sub>ol</sub>(max)</b>	<b>0.4V</b>	<b>0.5V</b>	<b>0.5V</b>	<b>0.1V</b>	<b>0.1V</b>

**Non si rispettano le condizioni di immunità al rumore quando un dispositivo TTL pilota un ricevitore CMOS**

# Modello e dispositivi reali

## • Interfacciamento TTL CMOS ( $V_p = 5V$ )

Resistenza di pull-up  $R_p$

- $R_{p,max} = (V_{cc} - V_{oh}') / (n \cdot I_{ih})$
- $R_{p,min} = (V_{cc} - V_{ol}) / (I_{ol} - n \cdot I_{il})$
- Interdice il "totem-pole"

**Problema:** Si dimensiona  $R_p$  tr TTL (74LS) e CMOS (74HC) se ci sono 5 carichi CMOS  
Con immunità al rumore in "1"  $V_{nh} = 0.2V$

**Soluzione**

La resistenza serve a fornire corrente agli  $n$  carichi senza "caricare" il transistor dello stadio di uscita (effetto "open collector")

$R_{max} = (V_{cc} - V_{ih}') / (n \cdot I_{ih})$

$V_{ih}' = V_{ih}(CMOS) + V_{nh} = 3.7V$ ,  $n \cdot I_{ih} = 5\mu A$

->  $R_{max} = (5V - 3.7V) / 5\mu A = 260k\Omega$

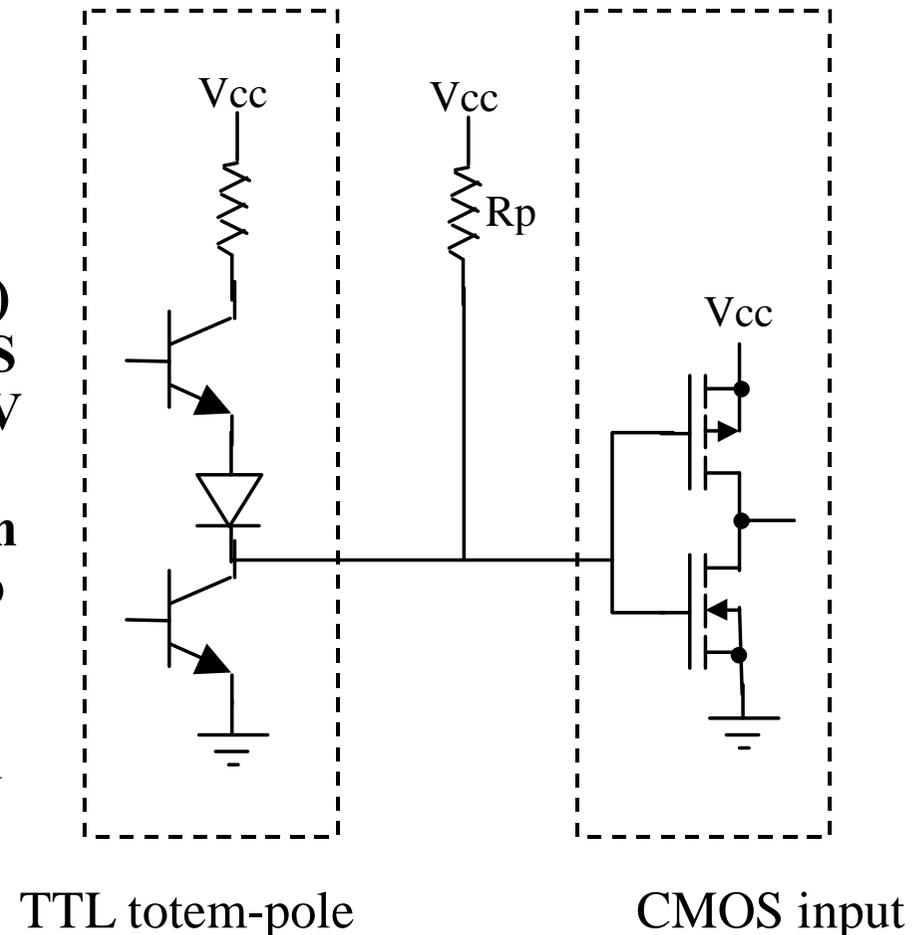
$R_{min} = (V_{cc} - V_{ol}) / (I_{ol} - n \cdot I_{il})$

$V_{ol} = V_{ol}(LSTTL)$  e  $I_{ol} = I_{ol}(LSTTL)$

$n \cdot I_{il} =$  corrente tot. dei carichi =  $5\mu A$

->  $R_{min} = (5V - 0.5V) / (8mA - 5\mu A) = 563\Omega$

**Nota:** Valori prossimi a  $R_{min}$  consentono migliori prestazioni



# Modello e dispositivi reali

- **Famiglie logiche più recenti**

- **Pochi sviluppi nelle famiglie bipolari**

- La famiglia AS (metà degli anni 80) non ha subito importanti evoluzioni
- Non si prevede l'introduzione di famiglie bipolari a 3.3V
- La famiglia ALS non ha avuto il successo sperato (poco competitiva con AC)

- **Generazioni di famiglia logiche CMOS**

- 1) **AC, ACT, FCT.**

**Dispositivi senza controllo di slew-rate e con problemi di diafonia e disturbi sull'alimentazione**

- 2) **ACQ, ACTQ, FCT-T.**

**Dispositivi con controllo di slew-rate e livelli in tensione simili ai TTL**

- 3) **LVQ, LVC. Dispositivi ottimizzati per alimentazione a 3.3V**

**Tecniche di progettazione**

**Circuiti stampati**

**Disturbi**

**Dinamica**

**tradizionale**

**doppia faccia (zoccolo)**

**segnale**

**prestazioni elevate**

**avanzata**

**multistrato (SMT)**

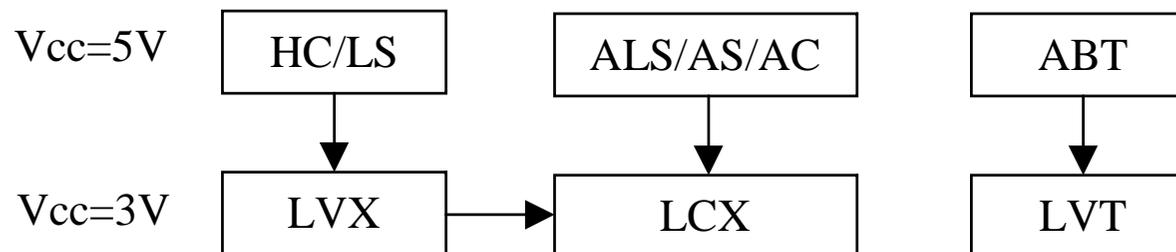
**alimentazione**

**prestaz. controllate**



# Modello e dispositivi reali

- **Famiglie logiche BICMOS (Bipolar-CMOS)**
- **Dispositivi BiCMOS (anni 90)**
  - Combina la tecnologia AC (stadi di ingresso e funzionali) e AS (stadi di uscita)
- **Famiglia più famosa = BCT**
  - Molto utilizzata per il pilotaggio di bus (bus driver)
  - Elevate correnti di uscita (da 24mA a 64mA)
- **Famiglia “Advanced” = ABT**
  - Controllo dello slew-rate di uscita
- **Famiglia con alimentazione a 3.3V = LVT (TTL compatibile)**
- **Famiglia a 3.3V fully-TTL-compatible (in ingresso e uscita)= LCX**



# Modello e dispositivi reali

- Famiglie logiche più recenti
- Caratteristiche di un componente di media complessità (octal buffer 74XX240) nelle condizioni peggiori di alimentazione e temperatura

Serie	Tpd(ns)	Vil,max	Vih,min	Vol,max	Voh,min
AS	7.0	0.8	2.0	0.55	2.4
FAST	9.0	0.8	2.0	0.55	2.4
AC (Vcc=5V)	8.0	1.35	3.15	0.1	4.4
AC (Vcc=3.3V)	10.0	-	-	-	-
ACT (Vcc=5V)	7.5	0.8	2.0	0.5	3.7
ACT (Vcc=3.3V)	9.5	-	-	-	-
BCT	6.4	0.8	2.0	0.55	2.2
LVT	4.5	0.8	2.0	0.5	2.2

# Modello e dispositivi reali

- Famiglie logiche più recenti, statica

Serie	Vil	Vih	Vol	Voh	Iil	Iih	Iol	Ioh	Icc(H-L)	Vcc
LS(Motorola)	0.8V	2.0V	0.5V	2.7V	-.4mA	20μA	8mA	-.4mA	1.6mA-4.4mA	5V±10%
ALS(Texas)	0.8V	2.0V	0.5V	2.5V	-.1mA	20μA	8mA	-.4mA	.85mA-3mA	5V±10%
FAST(Mot.)	0.8V	2.0V	0.5V	2.5V	-.6mA	20μA	8mA	-.4mA	2.8mA-10mA	5V±10%
AS(Texas)	0.8V	2.0V	0.5V	2.7V	-.5mA	20μA	20mA	-2mA	3.2mA-17mA	5V±10%
HC(Motorola)	1.5V	3.5V	0.1V	4.9V	-1μA	1μA	4mA	-4mA	1μA	2V÷6V
HCT(Mot.)	0.8V	2.0V	0.1V	4.9V	-1μA	1μA	4mA	-4mA	1μA	2V÷6V
AC(Texas)	1.5V	3.5V	0.5V	4.3V	-1μA	1μA	24mA	-24mA	40μA	3V÷5.5V
ACT(Texas.)	0.8V	2.0V	0.5V	4.3V	-1μA	1μA	24mA	-24mA	40μA	5V±10%
BCT(Texas.)'	0.8V	2.0V	0.55V	2.0V*	-1mA	20μA	64mA	-15mA	40mA-80mA	5V±10%
ABT(Nation.)'	0.8V	2.0V	0.55V	2.0V*	-5μA	5μA	64mA	-32mA	50μA-30mA	5V±10%
LVT(Nation.)'	0.8V	2.0V	0.55V	2.0V*	-5μA	10μA	64mA	-32mA	.2mA-17mA	2V÷3.6V
LVX(Nation.)	0.8V	2.0V	0.36V	2.6V	-1μA	1μA	4mA	-4mA	20μA	2V÷3.6V
LCX(Nation.)	0.8V	2.0V	0.55V	2.2V	-5μA	5μA	24mA	-24mA	10μA	2V÷3.6V

\* Dato per Vcc=min.

Se Vcc=tipico (5V/3V) le caratteristiche Voh aumenta di circa il 10% (Voh≈2.2V).

‘74XX244 (buffer ottale), altrimenti 74XX00 (4 porte NAND)

- Livelli TTL: meno diafonia, meno Pd,dinamica, meno di/dt, meno disturbi

# Modello e dispositivi reali

- Famiglie logiche più recenti, dinamica

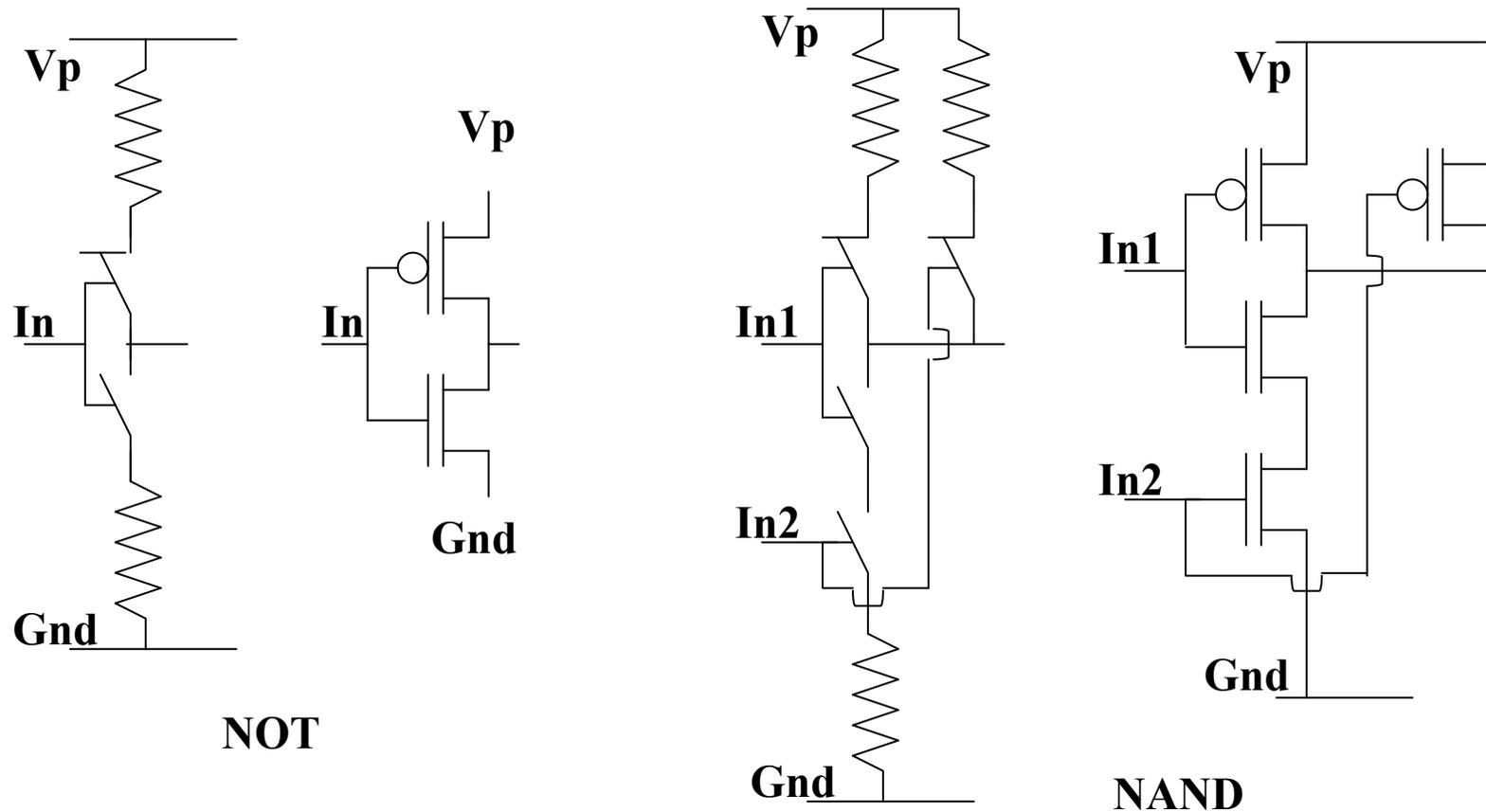
Serie	Cpd	$T_{p\,lh_{max}}$	$T_{p\,hl_{max}}$	$T_{p\,lh_{typ}}$	$T_{p\,hl_{typ}}$	Clo	Cin	Trise	Tfall	Fmax
LS(Motorola)	-	15ns	15ns	9ns	10ns	15pF	5pF	6ns	6ns	40MHz
ALS(Texas)	-	11ns	8ns	3ns*	2ns*	50pF	5pF	3ns	3ns	70MHz
FAST(Mot.)	-	6ns	5.3ns	2.4ns*	1.5ns*	50pF	5pF	2ns	2ns	125MHz
AS(Texas)	-	4.5ns	4ns	1ns*	1ns*	50pF	5pF	1.2ns	1.2ns	200MHz
HC(Mot.)	22pF	15ns	15ns	-	-	50pF	10pF	15ns	15ns	25MHz
HCT(Mot.)	22pF	17ns	16ns	-	-	50pF	10pF	15ns	15ns	20MHz
AC(Texas)	33pF	7.4ns	6.8ns	1.5ns*	1.5ns*	50pF	3.5pF	3ns	3ns	125MHz
ACT(Texas)	23pF	12.3ns	8.8ns	1.5ns*	1.5ns*	50pF	3.5pF	3ns	3ns	100MHz
BCT(Texas.)'	-	5ns	5.5ns	0.7ns*	1.4ns*	50pF	3.5pF	2.5ns	2.5ns	70MHz
ABT(Nation.)'	-	3.6ns	3.6ns	1ns*	1ns*	50pF	5pF	2.5ns	2.5ns	100MHz
LVT(Nation.)'	-	5ns	5.5ns	0.7ns*	1.4ns*	50pF	3.5pF	2.5ns	2.5ns	70MHz
LVX(Nat.)	19pF	12.5ns	16ns	7.9ns	6.6ns	50pF	10pF	2.5ns	2.5ns	70MHz
LCX(Nat.)	25pF	6ns	6ns	1.5ns*	1.5ns*	50pF	7pF	2.5ns	2.5ns	150MHz

\* Dato per  $V_{cc}=\text{min.}$

'74XX244 (buffer ottale), altrimenti 74XX00 (4 porte NAND)  
 Fmax da 74XX74 ( $\text{Typ. } F_{\text{max}} \approx 2 / (T_{\text{p}hl} + T_{\text{p}lh})$ )

# Logica ed Elettronica, la logica a interruttori

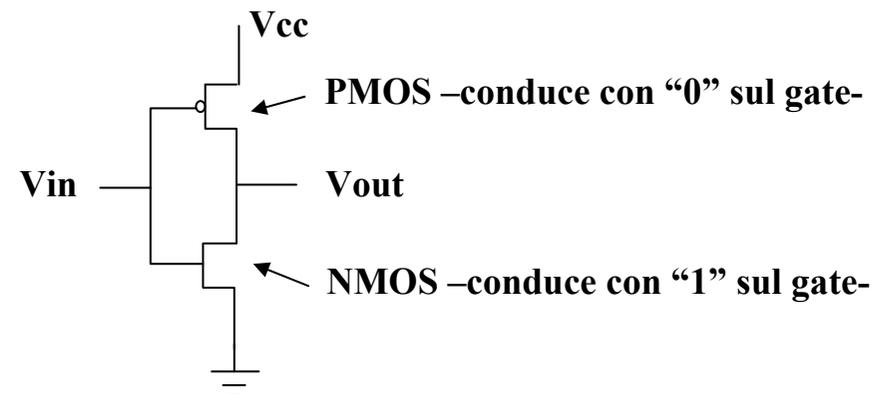
- Funzioni logiche realizzate mediante interruttori



- **AND = serie degli interruttori**
- **OR = parallelo degli interruttori**

# Logica ed Elettronica, la logica a interruttori

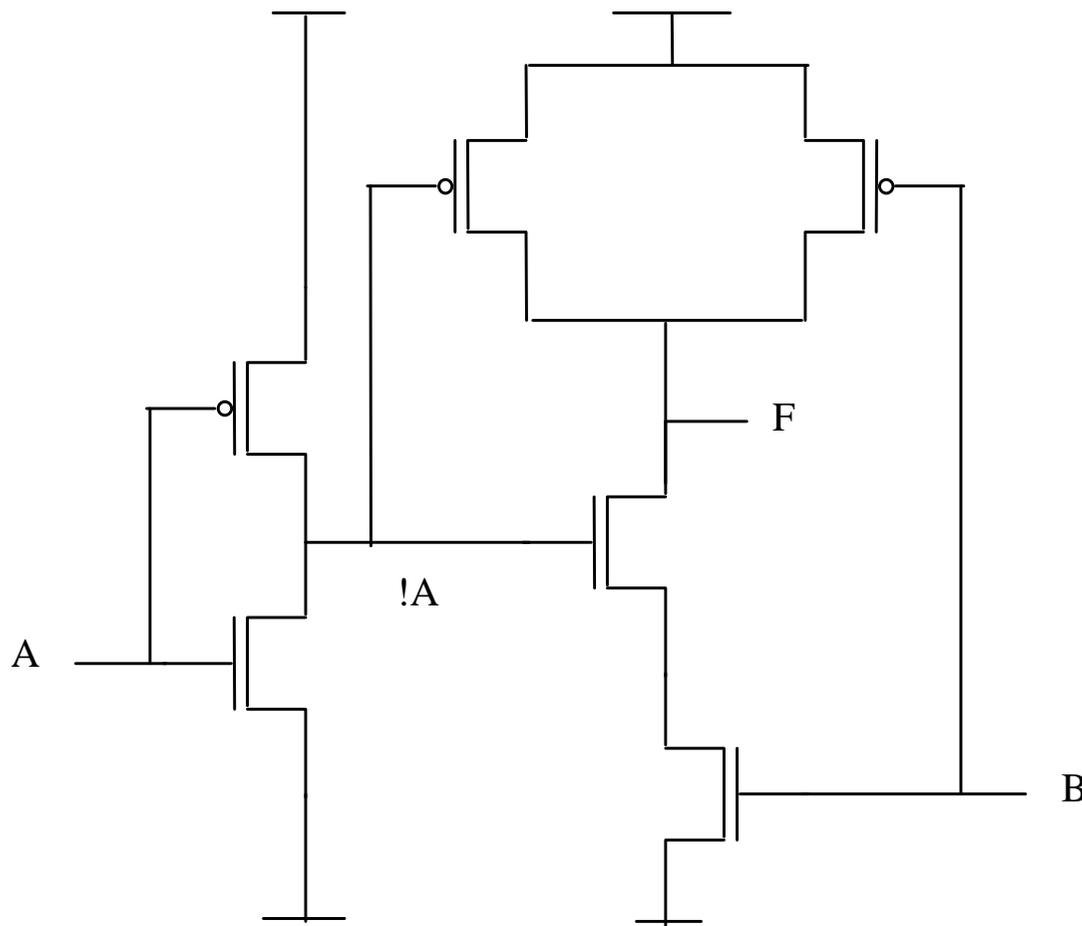
- **Funzioni logiche realizzate con interruttori CMOS (FCMOS)**
- **Data una funzione F, la realizzazione FCMOS consta di**
  - Un “pull-up” realizzato a PMOS che implementa F
  - Un “pull-down” realizzato a NMOS che implementa  $\text{NOT}(F)=!F$
- **Si considerano solo MOS ad arricchimento**
  - PMOS = interruttore che si chiude con “0” sul gate (logica negata)
  - NMOS = interruttore che si chiude con “1” sul gate (logica vera)
- **AND = & = serie degli interruttori**
- **OR = + = parallelo degli interruttori**
- **NOT = ! = porta elementare**



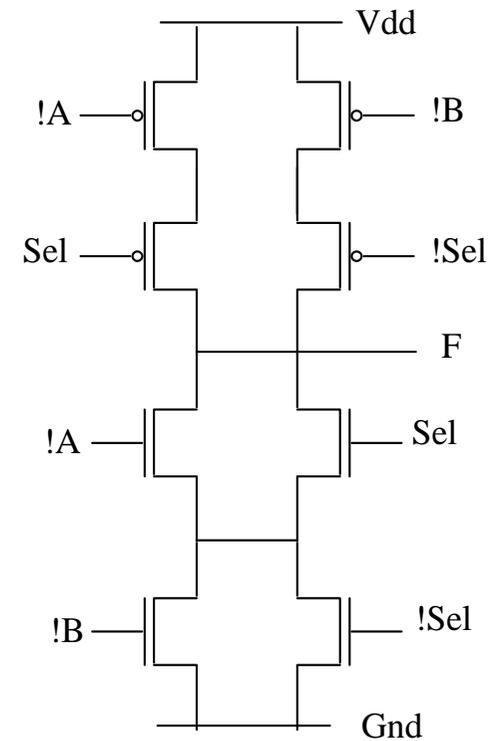
# Logica ed Elettronica, la logica a interruttori

- Logica Fully-CMOS (FCMOS)

$$F = !(A \& B) = A + !B$$



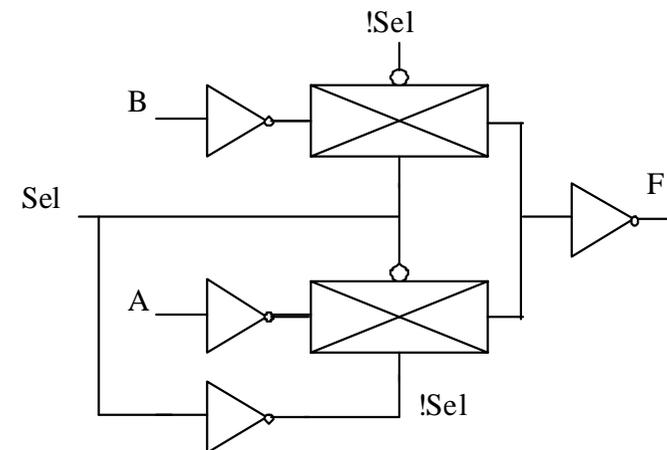
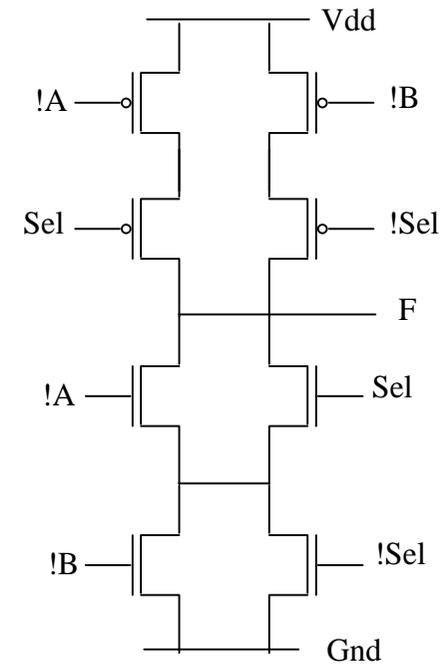
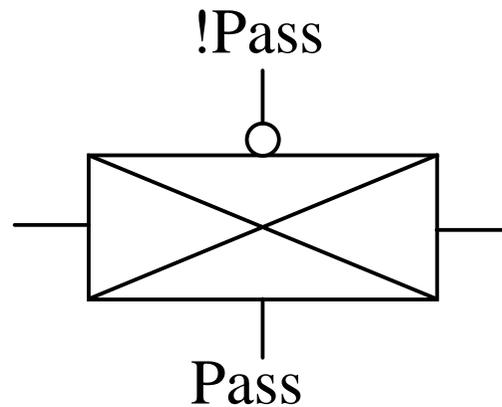
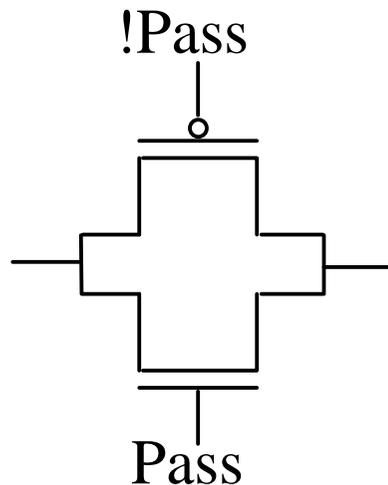
$$F = A \& !Sel + B \& Sel$$



# Logica ed Elettronica, la logica a interruttori

- L'elemento switch

$$F = A \& !Sel + B \& Sel$$



**Richiede adattamento  
d'ingresso e di uscita (buffer)**