



Fondamenti di Elettronica, Sez.5

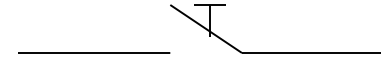
Alessandra Flammini
alessandra.flammini@unibs.it
Ufficio 24 Dip. Ingegneria dell'Informazione
030-3715627 Lunedì 16:30-18:30

Logiche a interruttori, famiglie bipolari e CMOS

Uso dei transistori (BJT o MOS)

- **I transistori in zona lineare sono utilizzati come amplificatori**
 - un amplificatore ideale di tensione ha elevata impedenza di ingresso e bassa impedenza di uscita
 - un amplificatore ideale di tensione è in grado di mantenere la tensione voluta scambiando qualsiasi corrente
 - un amplificatore con guadagno elevatissimo è un comparatore ossia ha tensione di uscita tra i due estremi di alimentazione (una piccola tensione positiva viene amplificata a $+V_{cc}$, una piccola tensione negativa va a $-V_{cc}$)
- **I transistori in zona di interdizione e saturazione sono utilizzati come interruttori**
 - un transistore in zona di interdizione (e nella limitrofa zona attiva) ha una corrente I_C (o I_D) molto piccola e quindi si comporta come una resistenza di valore molto elevato (interruttore aperto)
 - un transistore in zona di saturazione (e nella limitrofa zona attiva) ha una corrente I_C (o I_D) molto grande e quindi si comporta come una resistenza di valore molto basso (interruttore chiuso)
 - Con gli interruttori si realizzano funzioni a logica digitale

Transistore come interruttore



- **Bipolare npn**

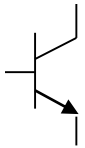
- equivale ad un interruttore che si chiude e fa passare una corrente I_c se si applica tra base ed emettitore una tensione $V_{be} > V_t \approx 0.6V$

Vantaggi:

- Elevate correnti in gioco (veloce, potente), Semplicità tecnologica

Svantaggi:

- Elevate correnti in gioco (dissipazione)
- Richiede resistenze (ingombranti su Si) per il controllo delle correnti (Una resistenza in polisilicio cristallino occupa 1000 volte un transistor)
- Ha una tensione di uscita non nulla anche “a vuoto” ($V_{ce,sat} \approx 0,3V$)



- **NMOS arricchimento**

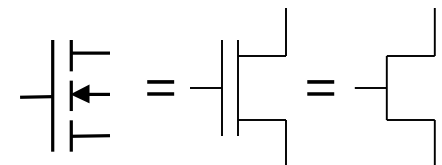
- equivale ad un interruttore che si chiude e fa passare una corrente I_d se si applica tra gate e source una tensione $V_{gs} > V_t \approx 1V$ con $V_{ds} > 0$

Vantaggi:

- Può agire come una resistenza (regione ohmica) (non servono resistenze)
- Non richiede corrente in ingresso
- Non ha tensione di uscita “a vuoto” ($V_{ds} \approx 0V$)

Svantaggi:

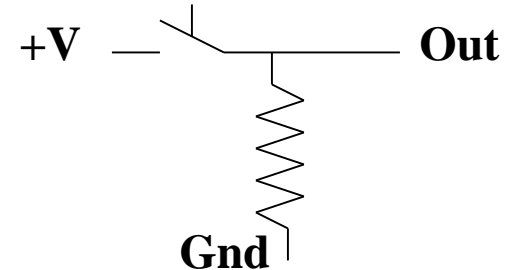
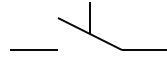
- Elevata capacità d'ingresso (ritardo sul comando)



Logica ed Elettronica, logiche elementari

- Logica binaria

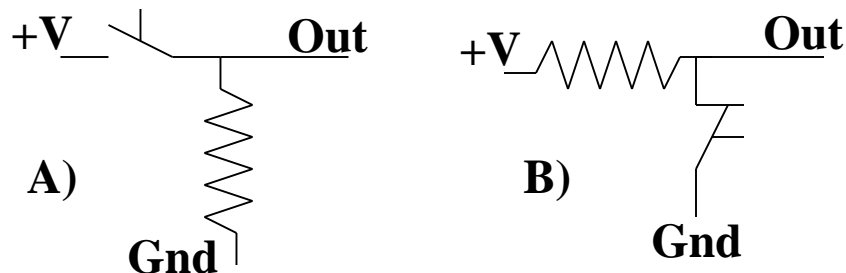
- (“0”, “1”), (spento, acceso), (assenza, presenza), interruttore



- Logica attiva alta e attiva bassa, uscite "forti" e "deboli"

- (un'uscita digitale è "forte" se la tensione di uscita varia poco al variare di I_{out})

Logica di uscita attiva alta

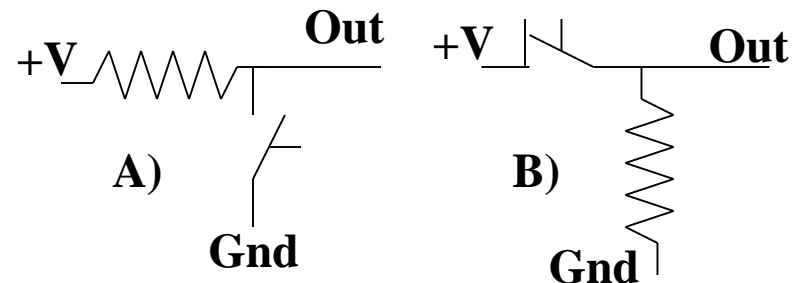


Azione = “modifico switch” -> Out=“1”

A) “1” forte, “0” debole (I dipende da R)

B) “0” forte, “1” debole (I dipende da R)

Logica di uscita attiva bassa



Azione = “modifico switch” -> Out=“0”

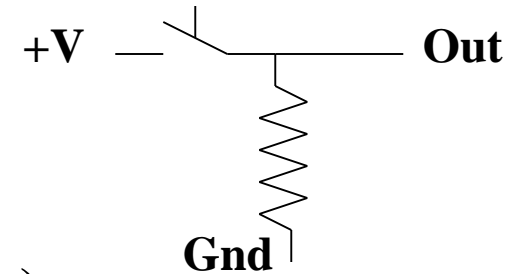
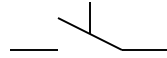
A) “0” forte, “1” debole (I dipende da R)

B) “1” forte, “0” debole (I dipende da R)

Logica ed Elettronica, logiche elementari

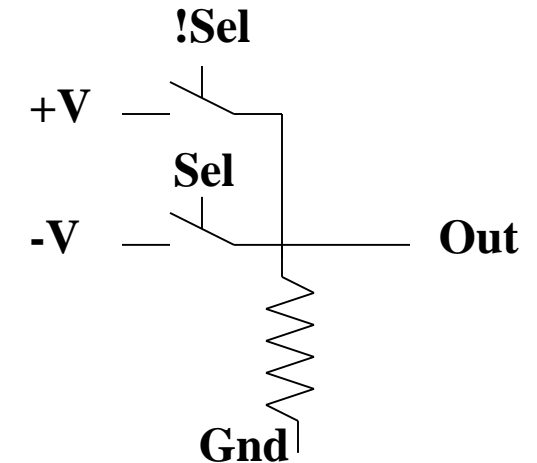
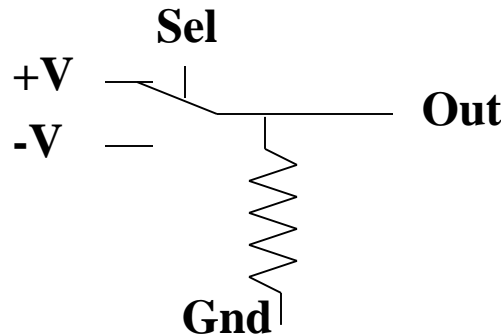
- **Logica binaria**

- (“0”, “1”), (spento, acceso), (assenza, presenza), interruttore



- **Logica bipolare (sottocaso della logica binaria)**

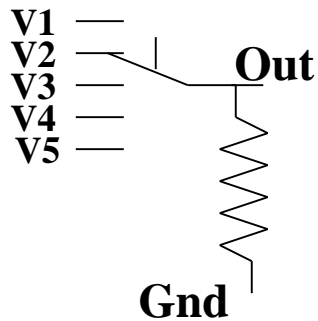
- (“-1”, “+1”), (“destra”, “sinistra”), deviatore a 2 poli
- un deviatore si realizza con due interruttori
- in un deviatore scorre sempre corrente



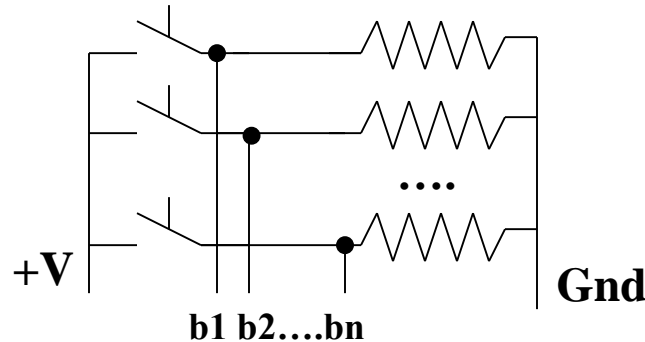
Logica attiva alta o attiva bassa?

Logica ed Elettronica, logiche complesse

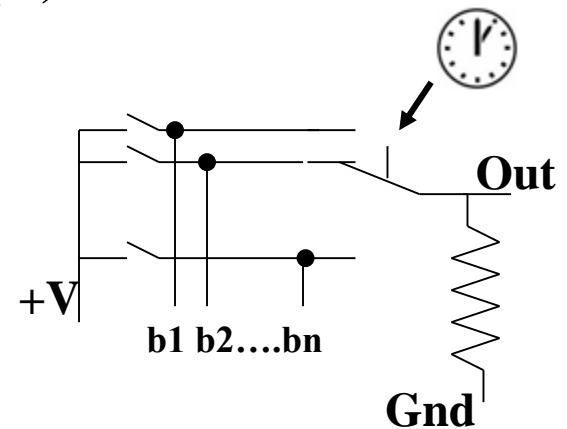
- **Logica multilivello**
 - (“0”, “1”, “2”, ...”n”), simbolo a n valori, deviatore a n poli
- **Logica parallela**
 - codifica istantanea di n logiche binarie indipendenti (tanti interruttori)
- **Logica seriale**
 - codifica sequenziale, cadenzata nel tempo, di n logiche binarie elementari (tanti interruttori sequenziati nel tempo)



Multilivello



Parallela



Seriale

• Esempio: Gigabit Ethernet 1000BaseT

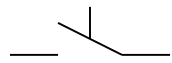
- 4 fili (doppini) a 5 livelli ($5^4 = 625$ codici) a 125Mbaud (PAM-5)

Logica ed Elettronica, logiche elementari

Logica binaria

- (“0”, “1”), (spento, acceso), (assenza, presenza), interruttore

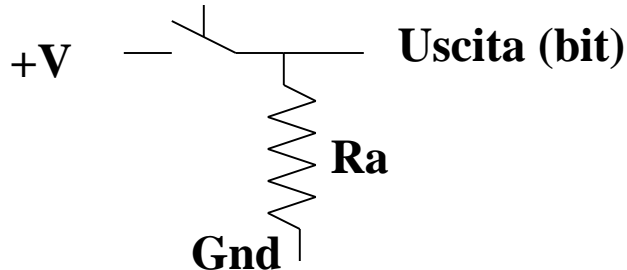
Ingresso



Uscita?

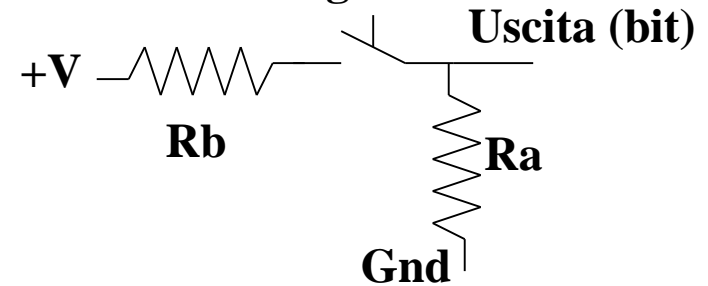
Circuito A

Ingresso



Circuito B

Ingresso



Circuito C

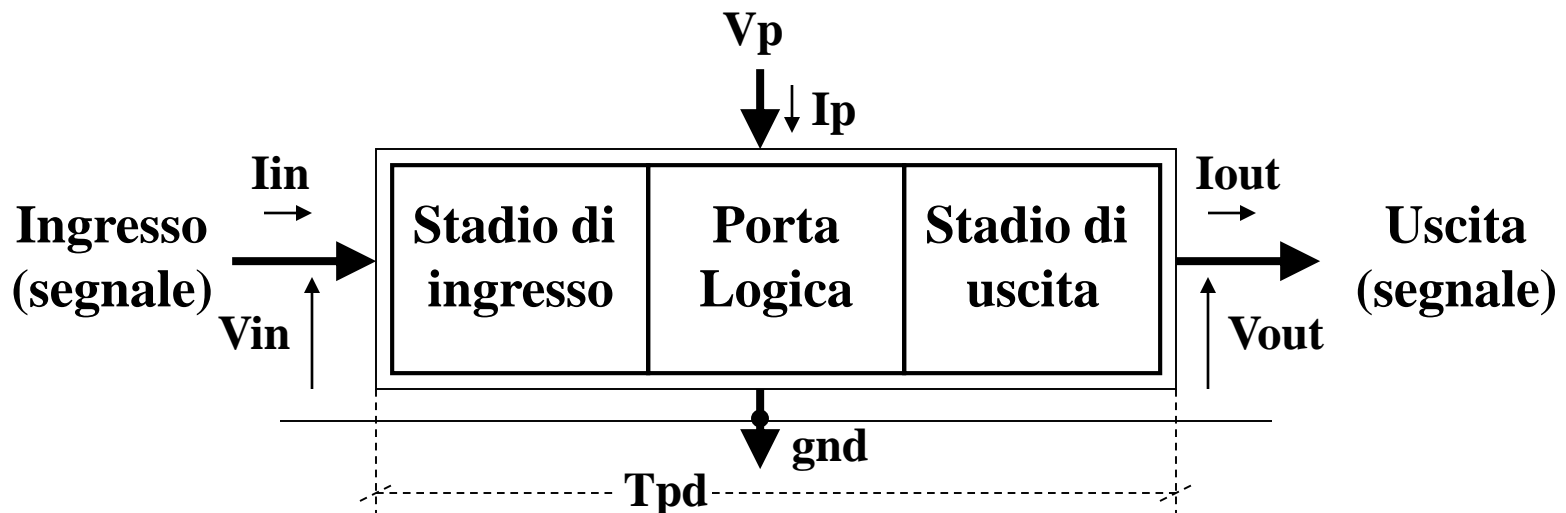
- **Nel circuito A non c'è alimentazione e non c'è uscita:**
- **Nel circuito B c'è alimentazione (+V, gnd) e un'uscita in tensione**
 - A cosa serve la resistenza Ra? A non mettere in cto cto +V e Gnd
 - Quando si può dire che l'uscita è a “0” o è a “1”? “1” \approx +V “0” \approx Gnd
- **Nel circuito C appare la resistenza Rb dell'interruttore**
 - Perché è necessario che $R_b \ll R_a$? Perché se interruttore ON devo avere +V
 - L'uscita varia “circa” tra +V e gnd ma con quali correnti? Dipendono da R

Logica ed Elettronica, logiche elementari

- La logica binaria tratta un trasferimento di informazioni
 - Il modello comportamentale è una tabella della verità (Look-up Table, LUT)

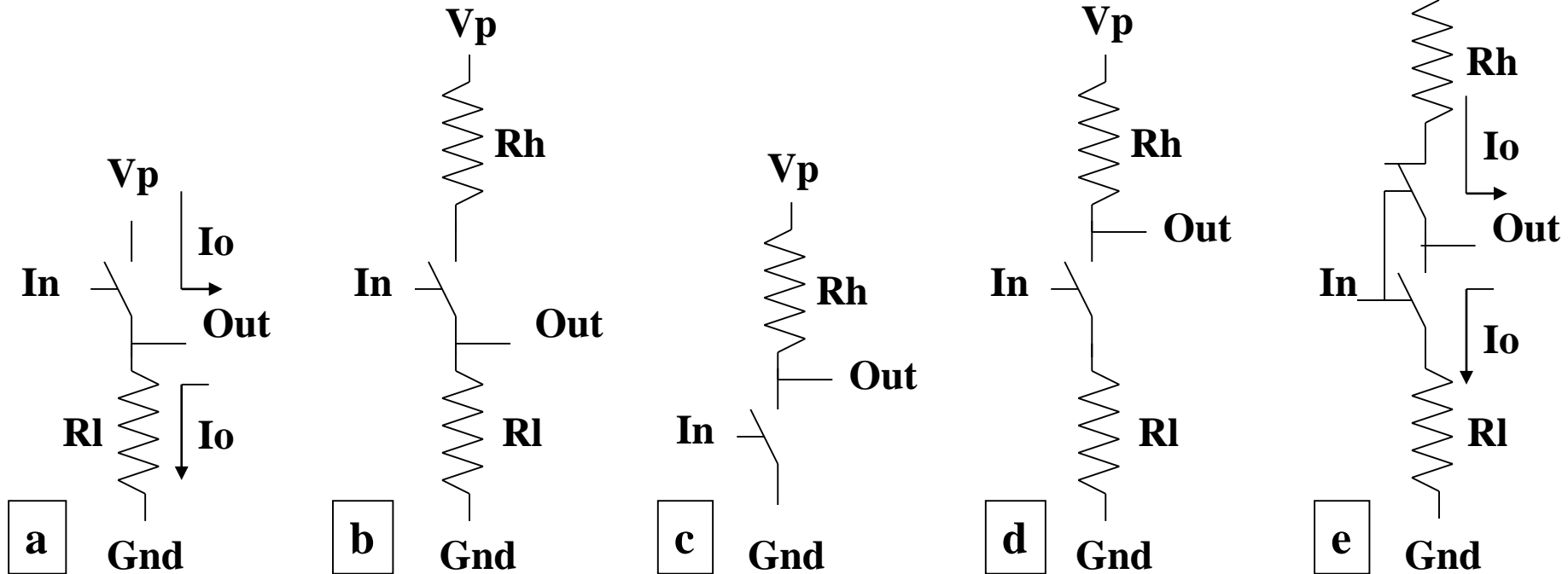


- L'elettronica digitale tratta un trasferimento di segnali elettrici
 - Il modello comportamentale è molto più complesso (correnti, tensioni, ritardi di propagazione, il concetto di alimentazione)



Logica ed Elettronica, logica a interruttori

- Ipotizziamo interruttori ideali (resistenza nulla o infinita)

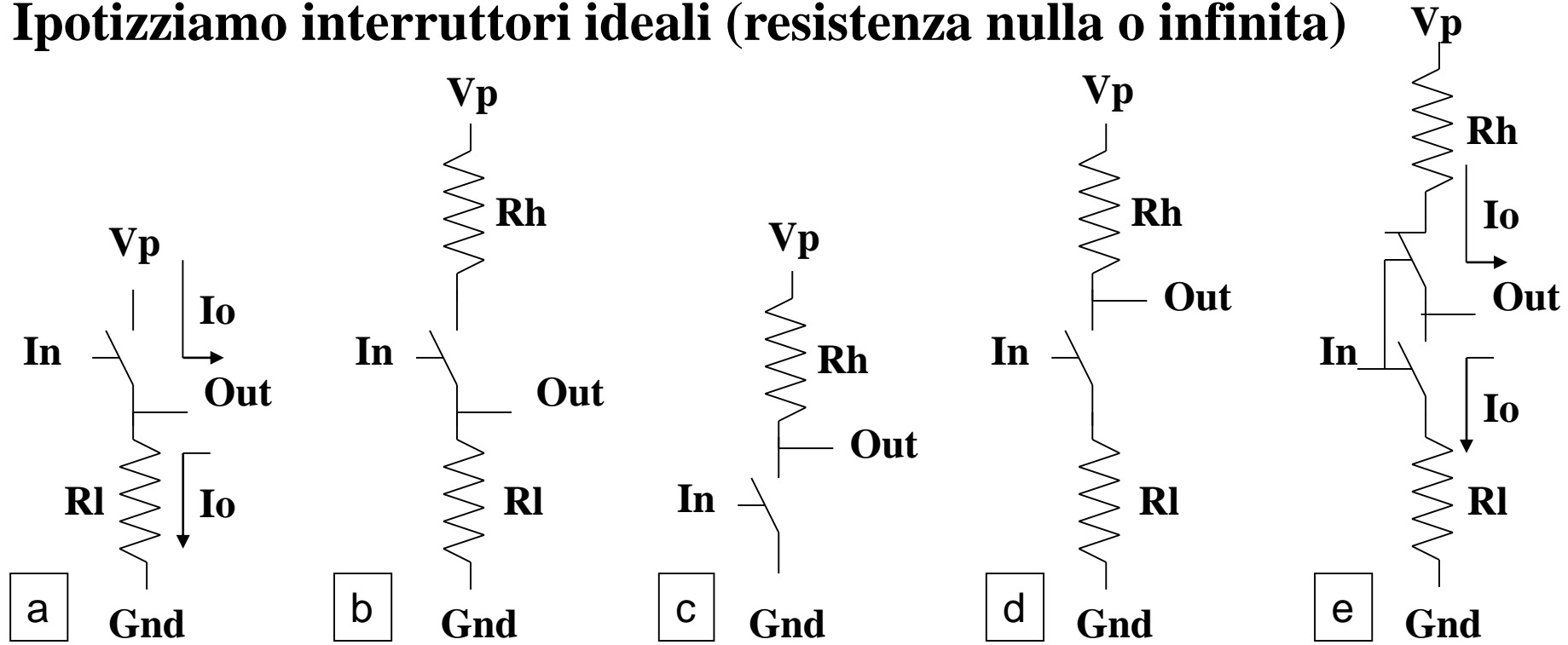


a	Identità, “1” forte ($V_o = V_p$, I_o infinita), “0” debole ($V_o = R_l \cdot I_o$)
b	Identità, “1” meno forte ($V_o = (V_p - I_o \cdot R) / 2$ se $R_l = R_h = R$, ma $V_o = V_p / 2$ se $I_o = 0$), “0” come a
c	NOT, “0” forte ($V_o = gnd$, I_o infinita), “1” debole ($V_o = V_p - R_h \cdot I_o$)
d	NOT, “0” meno forte ($V_o = (V_p + I_o \cdot R) / 2$ se $R_l = R_h = R$, ma $V_o = V_p / 2$ se $I_o = 0$), “1” come c
e	NOT, “1” “0” simmetrici se $R_l = R_h$ ($V_o = R_l \cdot I_o$ se $Out = “0”$, $V_o = V_p - R_h \cdot I_o$ se “1”)

Un livello di uscita è “forte” se la tensione di uscita dipende poco dal numero dei carichi (I_o)

Logica ed Elettronica, logica a interruttori

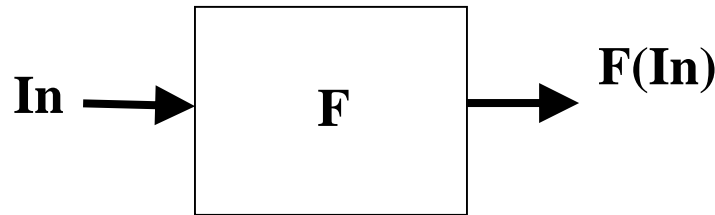
- Ipotizziamo interruttori ideali (resistenza nulla o infinita)



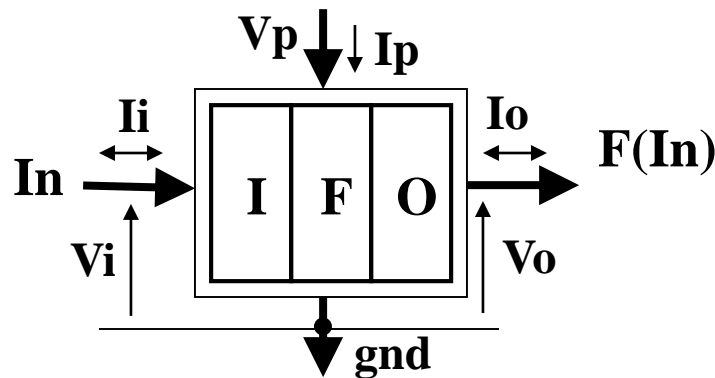
- Negli schemi a interruttori, anche con interruttori ideali,
 - la tensione di uscita dipende dalla corrente di uscita I_o (a “0” e/o a “1”)
 - I_o è erogata dal dispositivo (Out=“1”) o assorbita (Out=“0”)
 - I_o corrisponde circa alla somma delle correnti I_{Li} richieste dai “carichi” L_i
 - i “carichi” sono altri dispositivi digitali -> modello dello stadio di ingresso?
 - le architetture simmetriche (come “e”) assicurano piena complementarità

Logica ed Elettronica, logica a interruttori

- Modello statico del dispositivo (interruttori ideali)

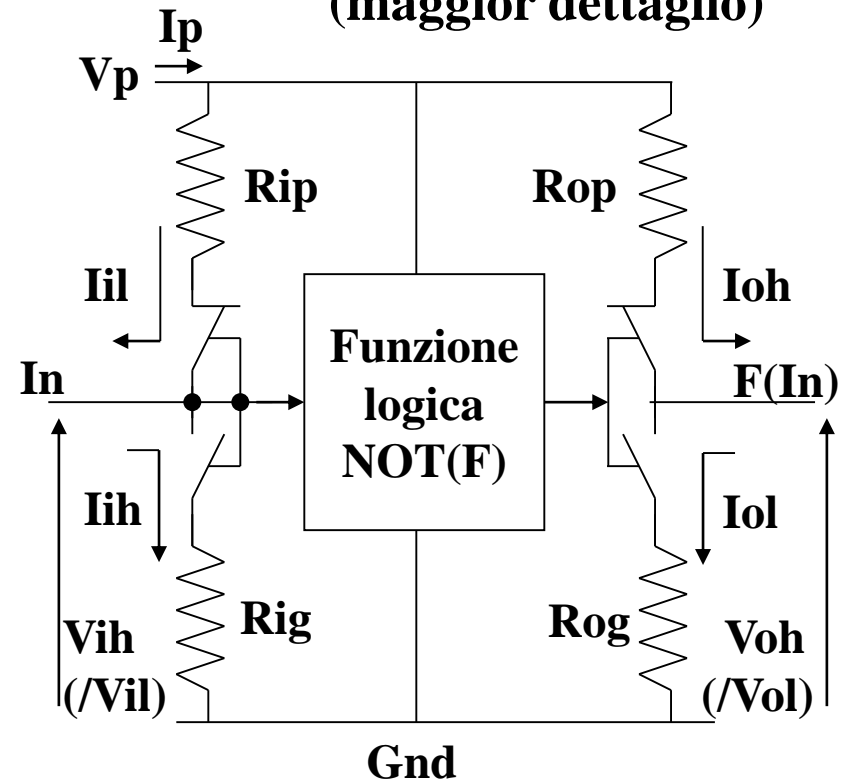


Modello logico del dispositivo con funzione F



Modello elettrico statico del dispositivo con funzione F

Modello elettrico statico del dispositivo con funzione F (maggiore dettaglio)



$$V_{ih} = I_{ih} * R_{ig}$$

$$V_{oh} = V_p - I_{oh} * R_{op}$$

$$V_{il} = V_p - I_{il} * R_{ip}$$

$$V_{ol} = I_{ol} * R_{og}$$

Convenzioni

- **Simboli per tensioni e correnti**

- **Livelli di tensione**

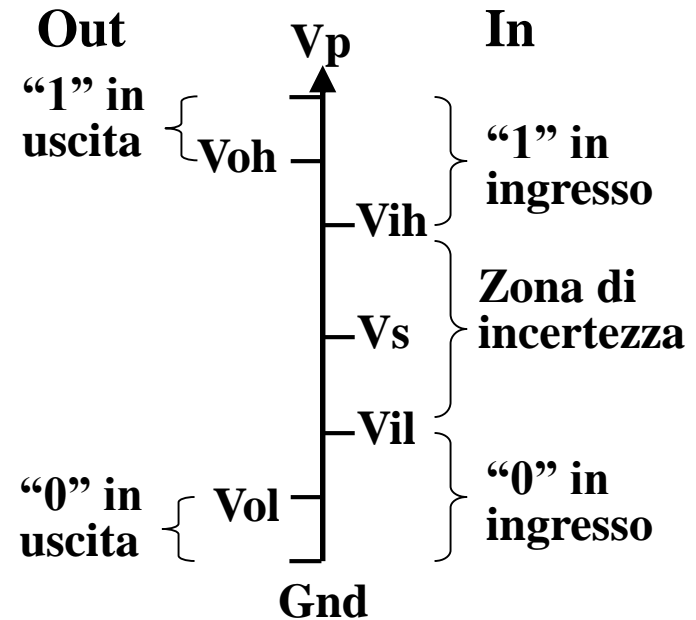
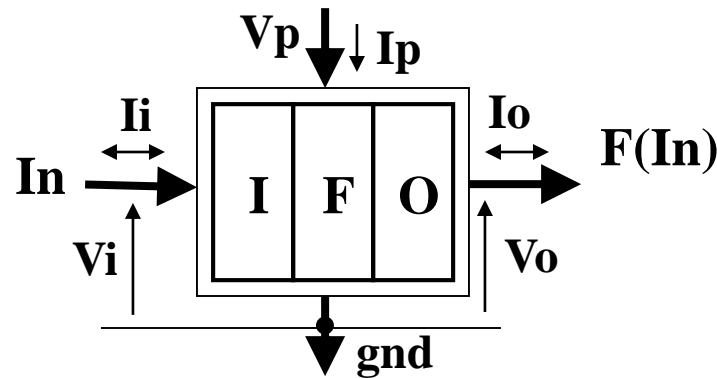
- V_{ol} = massima tensione di uscita quando l'uscita è a “0”
- V_{oh} = minima tensione di uscita quando l'uscita è a “1”
- V_{il} = massima tensione che, applicata all'ingresso, è riconosciuta come “0”
- V_{ih} = minima tensione che, applicata all'ingresso, è riconosciuta come “1”
- (V_p = tensione di alimentazione -definita all'interno di tolleranze-)

- **Livelli di corrente**

- I_{ol} = massima corrente di uscita (entrante) quando l'uscita è a “0” (@ V_{ol})
- I_{oh} = massima corrente di uscita (uscente) quando l'uscita è a “1” (@ V_{oh})
- I_{il} = massima corrente di ingresso (uscente) quando l'ingresso è a “0”
- I_{ih} = massima corrente di ingresso (entrante) quando l'ingresso è a “1”
- (I_p = max. corrente scambiata con V_p e/o gnd -corrente di alimentazione-)

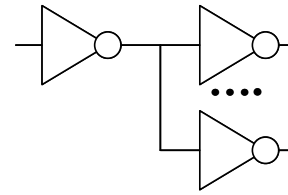
Logica ed Elettronica, logica a interruttori

- Modello statico del dispositivo
significato dei livelli di tensione



- Uno “0” (“1”) generato da una porta logica equivale ad una tensione tra Gnd e V_{ol} (tra V_{oh} e V_{cc}) e a scambiare una corrente tra 0 e I_{ol} (I_{oh})
- Applicare uno “0” (“1”) in ingresso ad una porta logica equivale ad applicare una tensione tra Gnd e V_{il} (tra V_{ih} e V_{cc}) e a scambiare una corrente tra 0 e I_{il} (I_{ih}). L’uscita deve essere un buon “0” (“1”) quindi $V_{ol} < V_{il}$ ($V_{oh} > V_{ih}$)

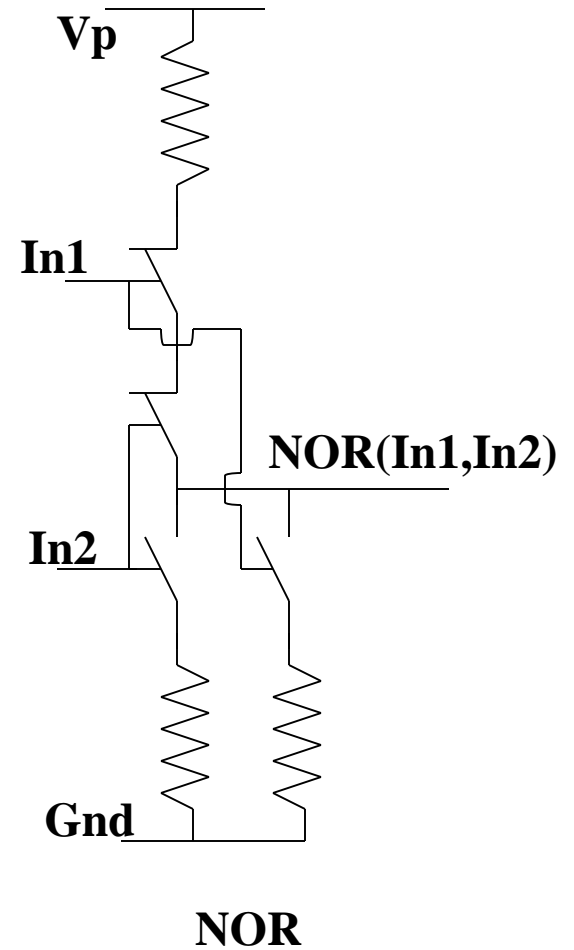
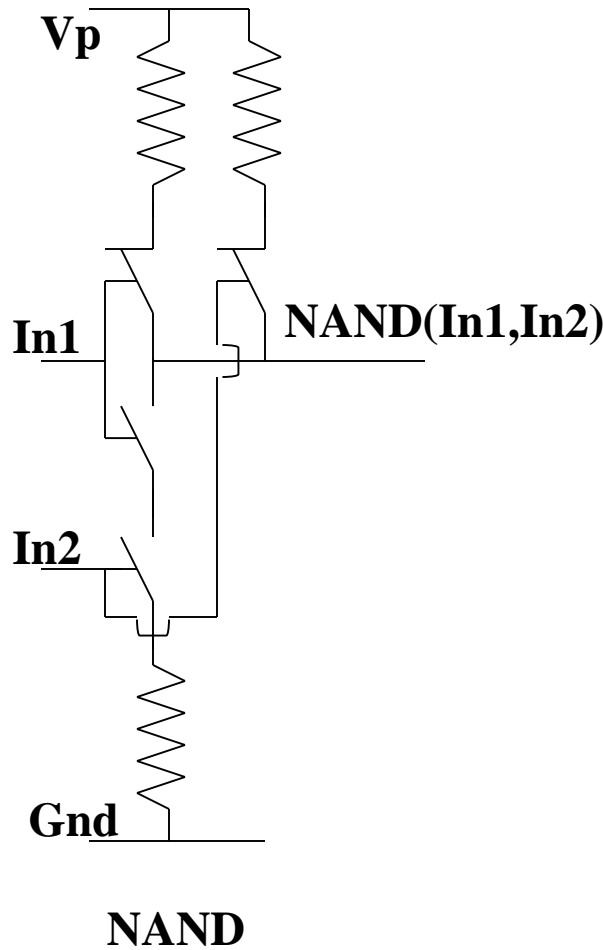
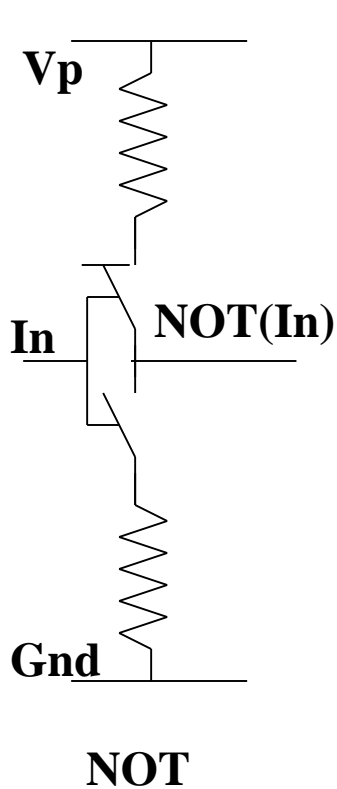
Logica ed Elettronica, logica a interruttori



- **Modello statico del dispositivo, parametri statici**
- **Immunità al rumore (indispensabile al corretto funzionamento)**
 - massimo rumore che può essere sommato/sottratto all'uscita
 - ➔ $V_n = \min (V_{il}-V_{ol} , V_{oh}-V_{ih})$ Normalmente $V_n > 0,1 \text{ V}$
- **FAN-OUT statico (indispensabile al corretto funzionamento)**
 - Numero massimo di carichi che possono essere connessi ad un dispositivo
 - ➔ $N_{max} = \min (I_{oh}/I_{ih} , I_{ol}/I_{il})$ Normalmente $N_{max} > 10$
- **Modello dinamico semplificato del dispositivo**
- **I ritardi si modellizzano con condensatori la cui carica e scarica produce il ritardo ($V = Q/C$ $I = dQ/dt$)**
 - piccole correnti caricano lentamente il condensatore
 - nei circuiti equivalenti RC, elevate resistenze caricano lentamente il condensatore ($\tau=RC$)
- **Tutti i dispositivi elettronici introducono un ritardo**

Logica ed Elettronica, la logica a interruttori

- Funzioni logiche realizzate mediante interruttori



NOTA, porta NAND: V_{ol} e I_{oh} sono differenti da V_{ol} e I_{oh} della porta NOT

NOTA, porta NOR: V_{oh} e I_{ol} sono differenti da V_{oh} e I_{ol} della porta NOT

Con gli interruttori si realizzano funzioni logiche

• Definizione di Famiglia logica

- Insieme di dispositivi SSI e MSI che permettono di realizzare la maggior parte delle funzioni logiche e che sono accumulati da criteri progettuali simili e uno stesso processo tecnologico
- Stessi livelli di tensione e di corrente, stesse caratteristiche di assorbimento
- Stessi tempi di salita e discesa

Classificazione	Transistors	Dispositivi tipici
SSI (Small Scale Integration)	<200	porte logiche
MSI (Medium “ “)	da 200 a 2000	contatori
LSI (Large “ “)	da 2000 a 20000	dispositivi periferici
VLSI (Very Large “ “)	da 20000 a 200000	processori, memorie
ULSI (Ultra Large “ “)	> 200000	processori evoluti

Anche il diodo è un interruttore

- Logiche a diodi

- Il diodo è un interruttore senza comando

- Applico una tensione $V \rightarrow$ scorre una corrente I

- $I = I_0(e^{V/(n \cdot V_t)} - 1)$

- $V_t = KT/q = T/11600 \approx 26mV$ ($T=300^\circ K$)

- $I_0 \sim nA$ (raddoppia per $dT=10^\circ C$)

- $n \sim 2$ per diodi al Si

- Interruttore aperto se $I \sim I_0 \sim nA$

- Interruttore chiuso se $I \sim mA$

- $1mA = I_0(e^{V/(n \cdot V_t)} - 1) \rightarrow (1mA + 1nA)/1nA \sim e^{V/(n \cdot V_t)}$

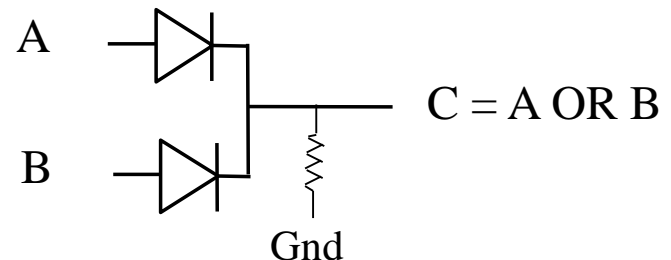
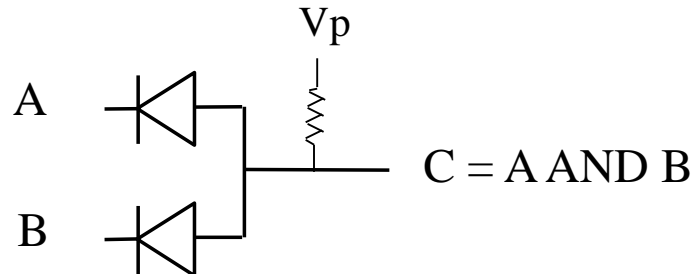
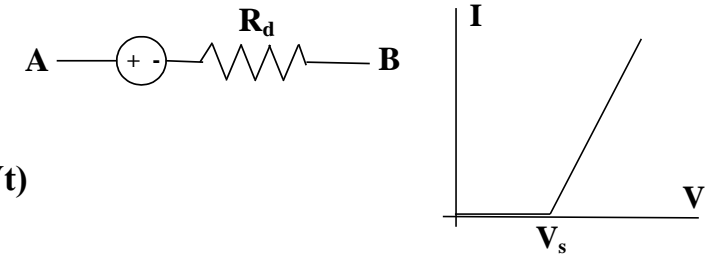
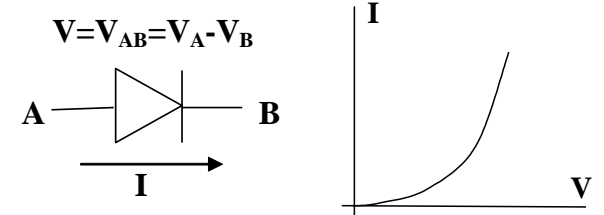
- $\rightarrow V/52mV \sim \ln 10^6 \rightarrow V = V_s \sim 0.7V$

- Modello semplificato del diodo

- $I \sim 0$ per $V < V_s \sim 0.7V$

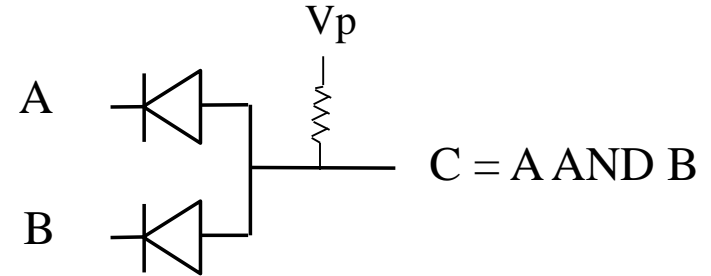
- $I = (V - V_s)/R_d$ per $V > V_s$

- $R_d = dV/dI \sim$ da 5 a 10 Ω

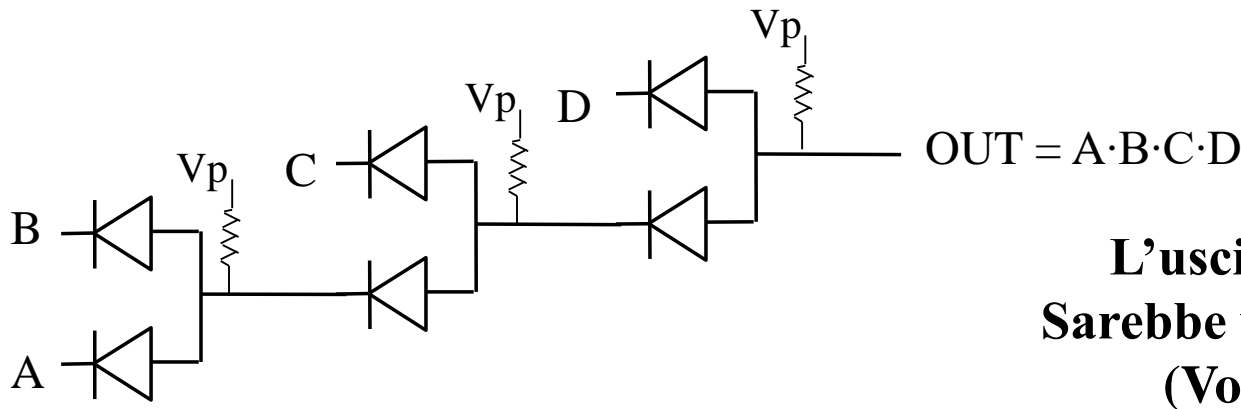


Ma il diodo non funziona (no logiche a diodi)

- Logiche a diodi
- perché la logica a diodi non ha dispositivi
 - un dispositivo è fatto da tante porte elementari
 - calcolo dei livelli di tensione ($V_p = 3V$)
 - Se $V_i < (V_p - V_s)$ allora $V_o = V_i + V_s$
 - altrimenti $V_o = V_p$



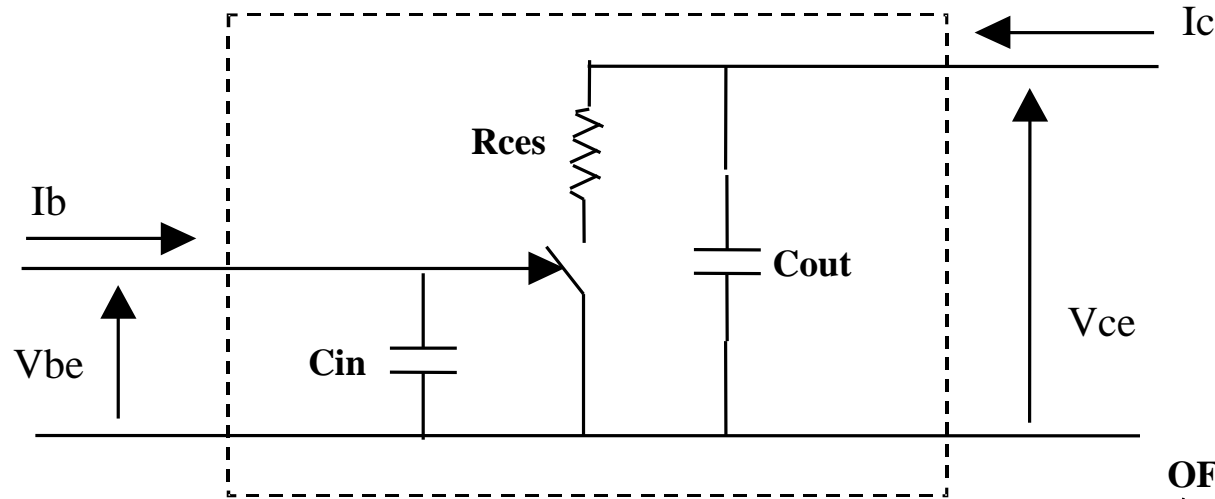
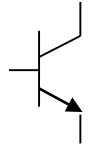
- Cosa succede se applico $A = "0"$ e $B, C, D = V_p$?
 - Porta AND a 4 ingressi realizzata con 3 porte AND a due ingressi



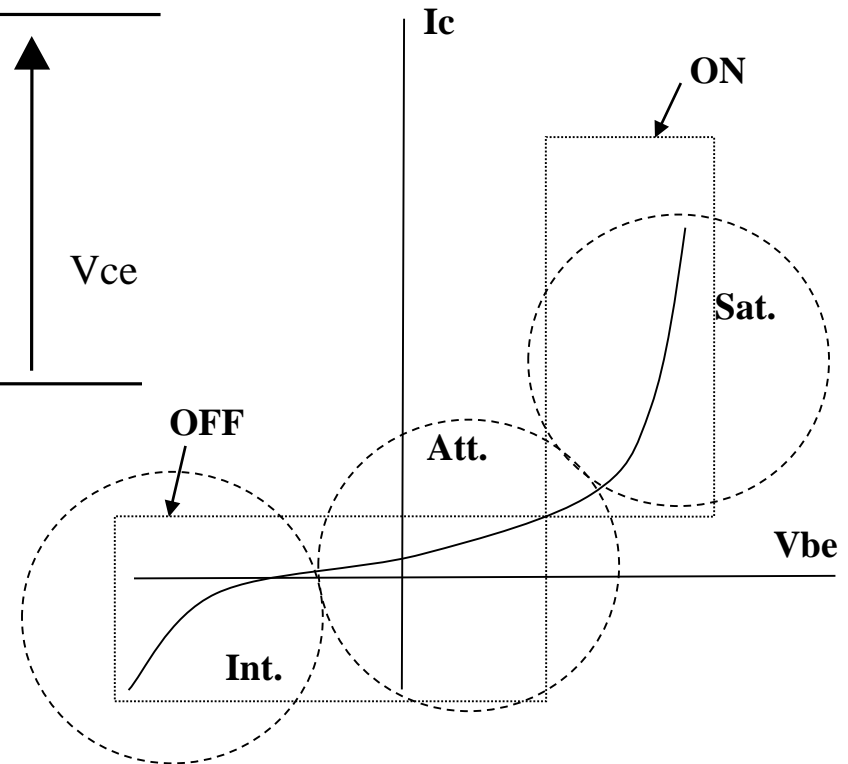
L'uscita a $\sim 2,1V$
Sarebbe vista come "1"
($V_o > V_{il}!!!$)

Modello e dispositivi reali

- Famiglie logiche bipolari
- Il transistor bipolare (Bipolar Junction Transistor)
 - Interdizione: $V_{be} < V_s$, $I_c < I_{cbo}$
 - Zona attiva: $V_{be} \sim V_s$, $I_c = h(FE) * I_b$
 - Saturazione: $I_c < h(FE) * I_b$

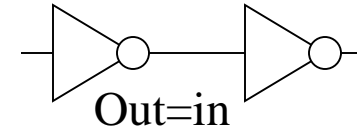


- Comportamento approssimato
- Regioni ON ($I_c \sim mA$) e OFF



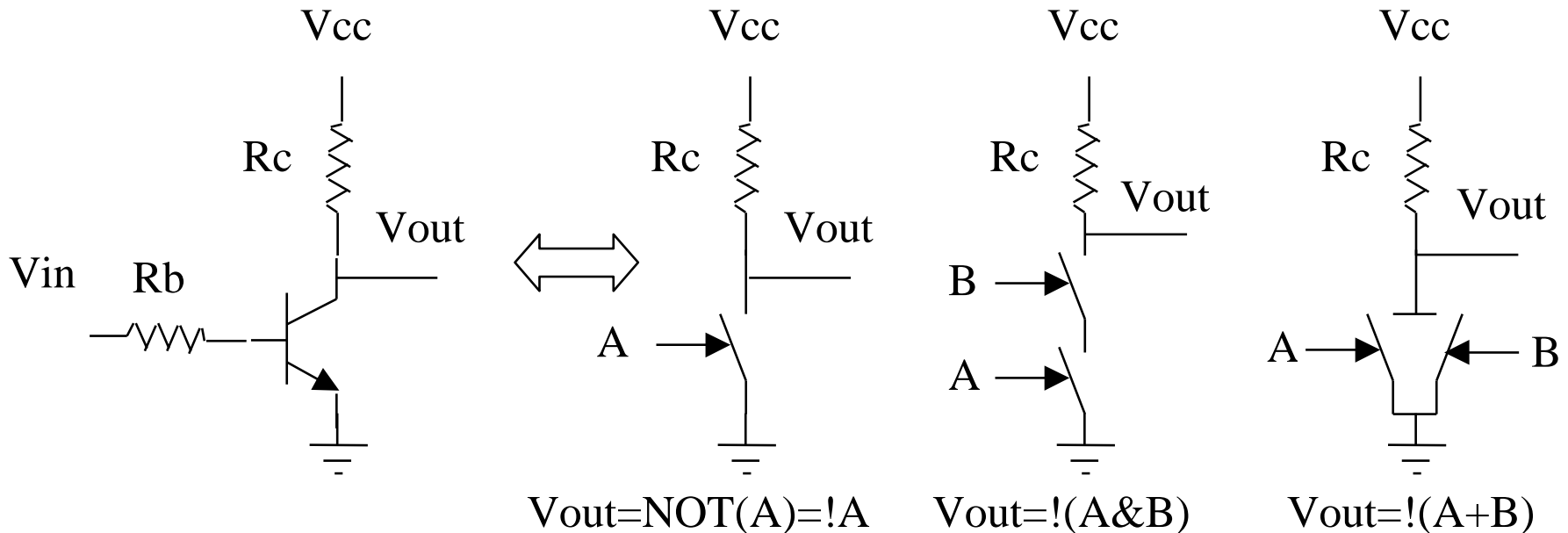
Modello e dispositivi reali

- Le prime famiglie logiche bipolari, RTL



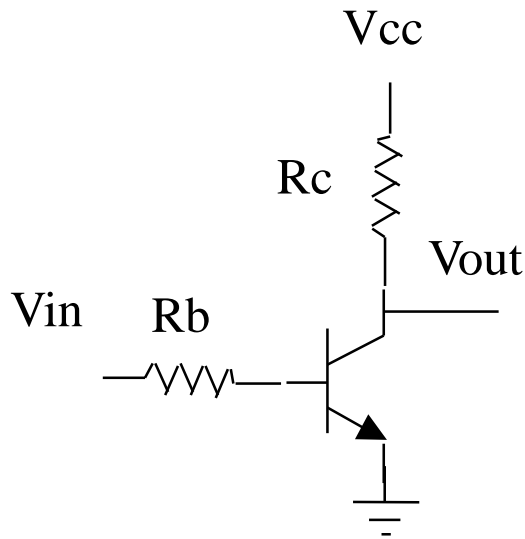
- **RTL (Resistor Transistor Logic)**

- La porta NOT richiede l'integrazione di due resistenze, R_b e R_c
- Saturazione: $I_c < I_b \cdot h_{FE}$ $I_b = (V_{in} - V_{be,sat}) / R_b$ $I_c = (V_{cc} - V_{ce,sat}) / R_c$
- La corrente in uscita deve "soddisfare" i requisiti di corrente in ingresso
 - $V_A = V_{out} = "1"$, transistore "interdetto" $(V_{cc} - V_{out}) / R_c = N \cdot (V_{in} - V_{be,sat}) / R_b$
 - $V_A = V_{out} = "0"$, transistore in saturazione $(V_{cc} - V_{out}) / R_c + N \cdot I_{il} < I_{c,max}$
- La capacità di carico $C_l = \sum C_{in}$ si scarica velocemente sul transistore in conduzione ($R_{ce,sat} < 100\Omega$) ma si carica lentamente su R_c ($R_c \gg 100\Omega$)
- I dispositivi RTL dissipano potenza statica quando $V_{out} = "0"$ ($I_{ccl} > I_{cch}$)



Modello e dispositivi reali

- Le prime famiglie logiche bipolari, RTL
- RTL (Resistor Transistor Logic)
 - Porta NOT
 - Analisi "a vuoto" $\rightarrow I_{ol} = I_{oh} = 0$
 - $V_{oh} = V_{cc}$ (il BJT è spento e non passa corrente in R_c)
 - $V_{ol} = V_{ce,sat} = 0,2V$
 - $V_{ih} = 0,7V$ (tensione che mi assicura che il BJT vada in saturazione)
 - $V_{il} = 0,5V$ (tensione che mi assicura che nel BJT scorrano correnti trascurabili)
 - $I_{il} = 0$ (se applico in ingresso tensione "0" in R_b scorrono correnti trascurabili)
 - $I_{ih} = (V_i - 0,7V)/R_b$



Modello e dispositivi reali

- Le prime famiglie logiche bipolari, RTL

- Calcolo livelli logici pilotando n carichi

$V_{cc}=3V$, $R_c \approx k\Omega$, $R_b \approx k\Omega$, $h(FE)=50$, $V_{ce,sat}=0.2V$

- Uscita a “0” (transistore ON):

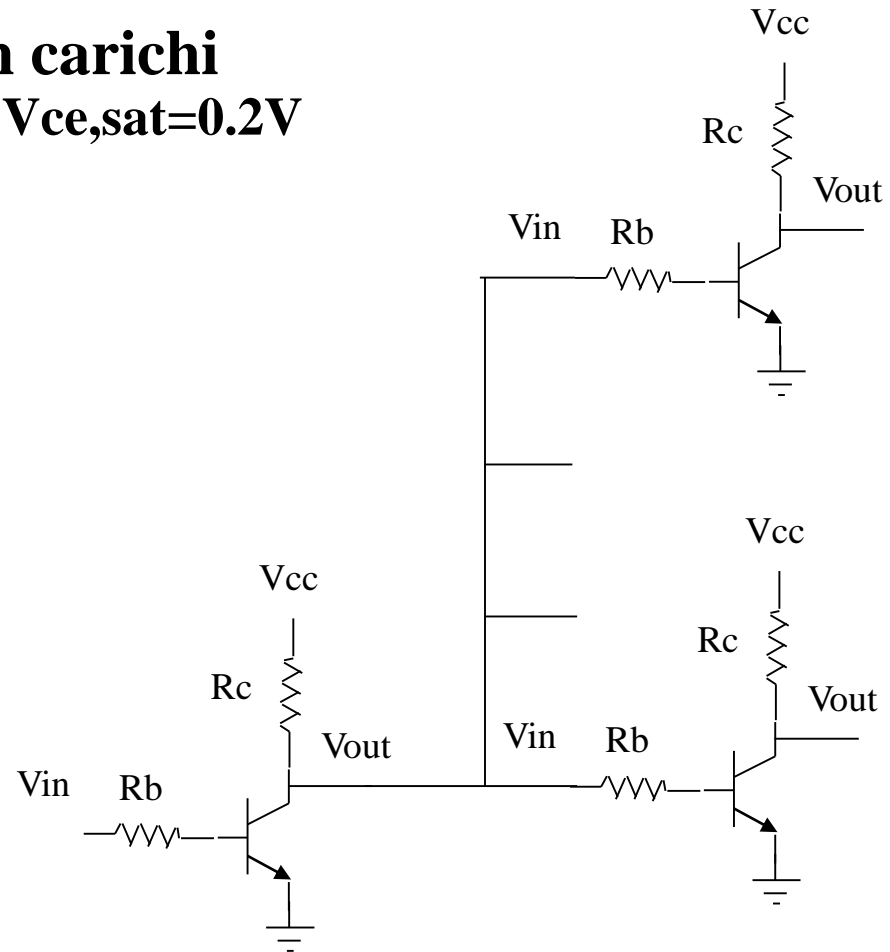
- $V_{ol} = V_{ce,sat} = 0.2V$
- $I_{ol} > I_{il} \approx 0$
- $I_c = (V_{cc}-V_{ol})/R_c \approx mA$
- $I_{ih} = I_b > I_c/hFE \approx 0.1mA$
- $V_{ih} = V_{be,sat} + R_b \cdot I_b \approx 0.8V$

- Uscita a “1” (transistore OFF):

- $V_{oh} = V_{cc}-R_c \cdot I_{oh} > V_{ih}$
- $I_{oh} > n \cdot I_{ih}$
- $I_{il} = I_b \approx \mu A$ (correnti di perdita)
- $V_{il} < V_s + R_b \cdot I_b \approx 0.6V$

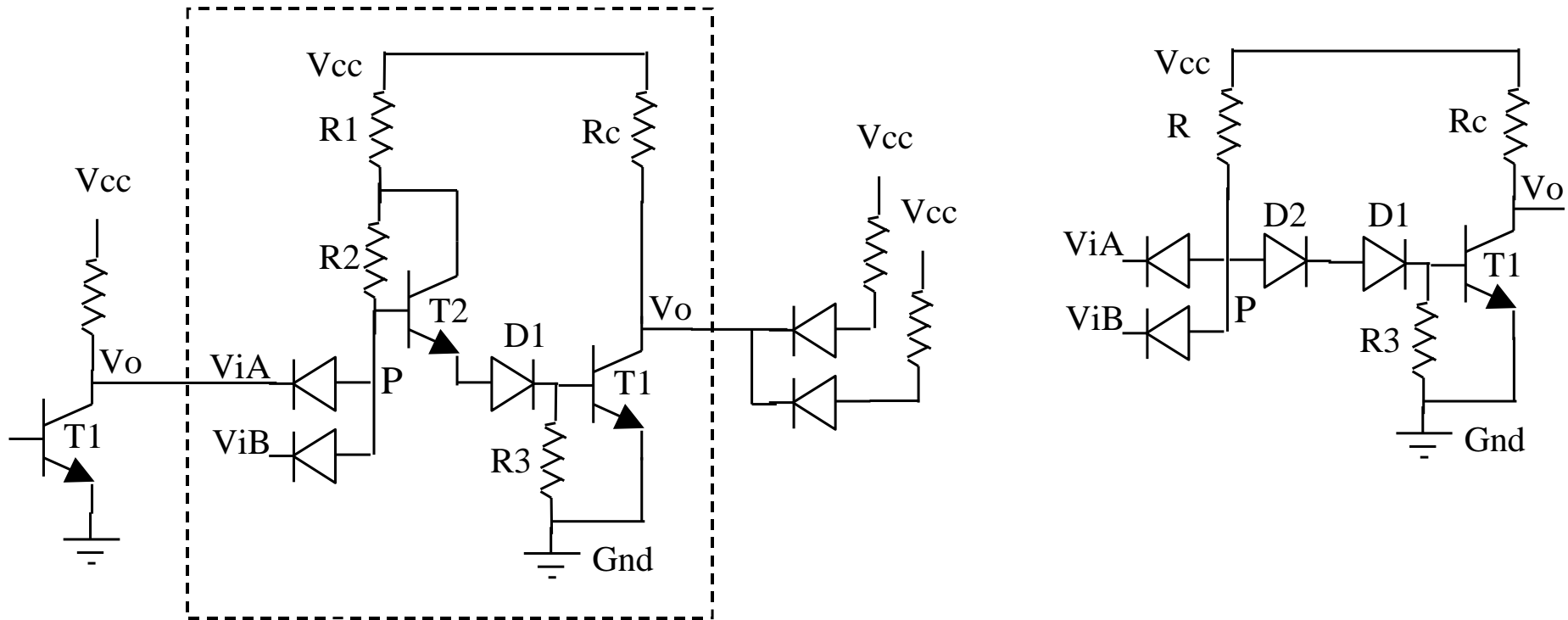
- Se si fissa $V_{oh} = 1.2V$ e $R_c = 1k\Omega$

$$- 1.2V = 3V - 1k\Omega \cdot n \cdot I_{ih} \quad n \approx 18$$



Modello e dispositivi reali

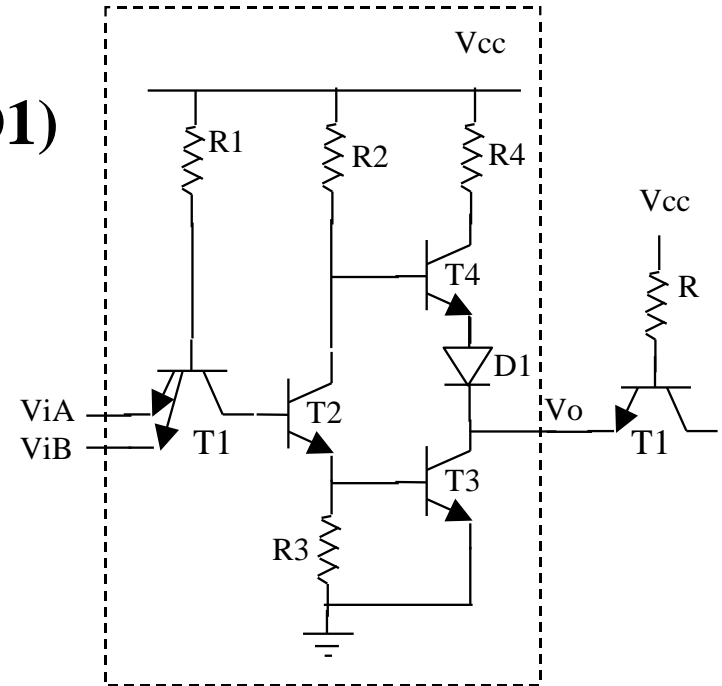
- Le prime famiglie logiche bipolari, DTL
- Diminuzione I_{ih} rispetto a RTL (“1” debole, V_{oh} dipende molto da I_{oh})
- Introduzione del carico attivo (schema a sinistra)



- Se $T2=D2$, $R=R1+R2$ (schema semplificato a dx) -> Porta NAND
- $OUT=“1”$ -> $I_c = (V_{cc}-V_{ce,sat})/R_c + N(V_{cc}-V_{d,sat}-V_{ce,sat})/R$ -> R grande
- $OUT=“0”$ -> T1 deve avere sufficiente corrente in base per saturare -> R piccola

Modello e dispositivi reali

- La più famosa famiglia logica bipolare, TTL
- T1 in tecnologia multiemettitore (AND)
- Valori resistivi tipici ($V_{cc}=5V$)
 - $R1 \approx 4k\Omega$, $R2 \approx 1.6k\Omega$, $R3 \approx 1k\Omega$, $R4 \approx 130\Omega$
- Carico attivo in uscita ($R_{out} = R4, T4, D1$)
 - R_{out} grande se l'uscita è a "0" (Iol grande)
 - R_{out} piccola se l'uscita è a "1" (Tplh piccolo)
- Stadio di uscita "totem-pole"
- T3 e T4 lavorano in opposizione di fase
- T4 opera in regione attiva (deve essere veloce a spegnersi)
- Senza D1, se T2=ON allora T3=ON e anche T4=ON (percorso a bassa impedenza)



Modello e dispositivi reali

- La più famosa famiglia logica bipolare, TTL

- $V_{iA} = "0"$

$T1=$ Diretto, $T2=$ OFF, $T3=$ OFF, $T4=$ ON

$I_{c1} \approx 0$, $I_{e1} \approx I_{b1} \approx (V_{cc} - V_{be,sat} - V_{ol}) / R1$

$V_o = V_{cc} - R2 * I_{b4} - V_{be4} - V_d \approx 3.6V$

($T4$ in regione attiva $\rightarrow V_{be4} \approx 0.7V$, $I_{b4} \approx 0$)

- $V_{iA} = "1"$, $0.7 < V_{b2} < 1.4V$

$T1=$ Inverso, $T2=$ ON, $T3=$ OFF, $T4=$ ON

V_{b4} decresce e fa scendere V_{out}

V_o decresce con $dV_{out}/dV_{b2} \approx -R2/R3$

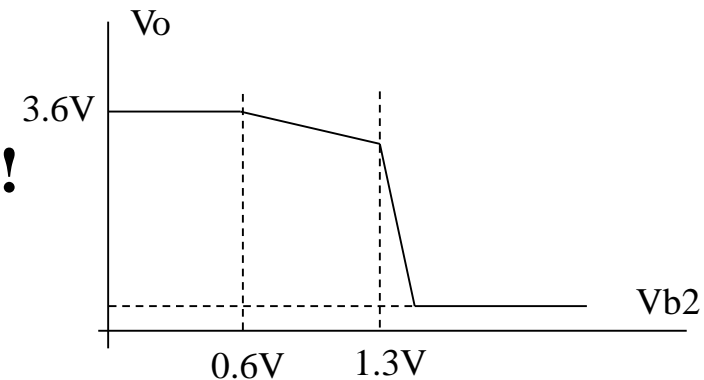
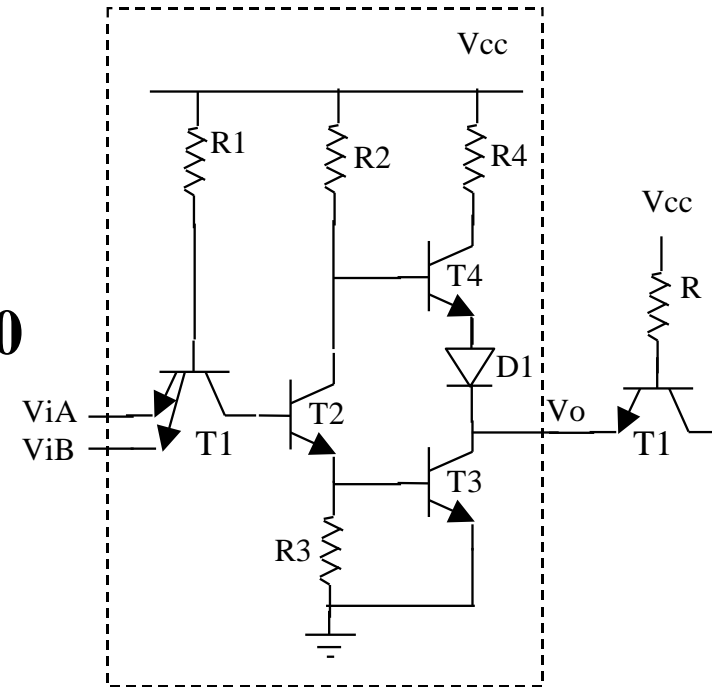
- $V_{iA} = "1"$, $V_{b2} = 1.4V$

$T1=$ Inverso, $T2=$ ON, $T3=$ ON, $T4=$ ON

V_o scende a $V_{ce,sat}$ e $T4$ si deve spegnere!

- $V_{iA} = "1"$, $V_{b2} > 1.4V (=V_{soglia})$

$T1=$ Inverso, $T2=$ ON, $T3=$ ON, $T4=$ OFF



Modello e dispositivi reali

- La più famosa famiglia logica bipolare, TTL

- Calcolo dei livelli di tensione e corrente
 $R1 \approx 4k\Omega$, $R2 \approx 1.6k\Omega$, $R3 \approx 1k\Omega$, $R4 \approx 130\Omega$

$V_{cc} = 5V$

- Uscita a “0” (transistore T3 ON)

$V_{ol} \approx V_{ce,sat} = 0.2V$

$I_{ol} = I_{c,max} - I_{cbo} > n \cdot I_{il}$

$I_{ih} = I_{cbo} < 10\mu A$

$V_{ih} = 2V_{be,sat} > 1.4V \approx 1.5V$

- Uscita a “1” (transistore T3 OFF)

$V_{oh} = V_{cc} - R2 \cdot I_{b4} - V_{be4} - V_d \approx$

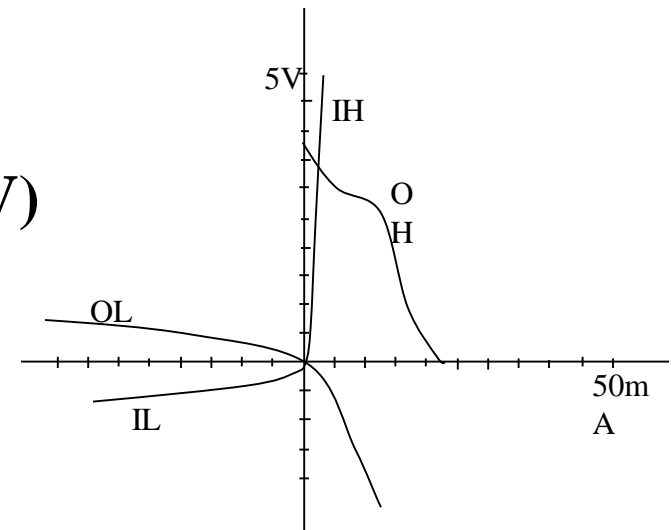
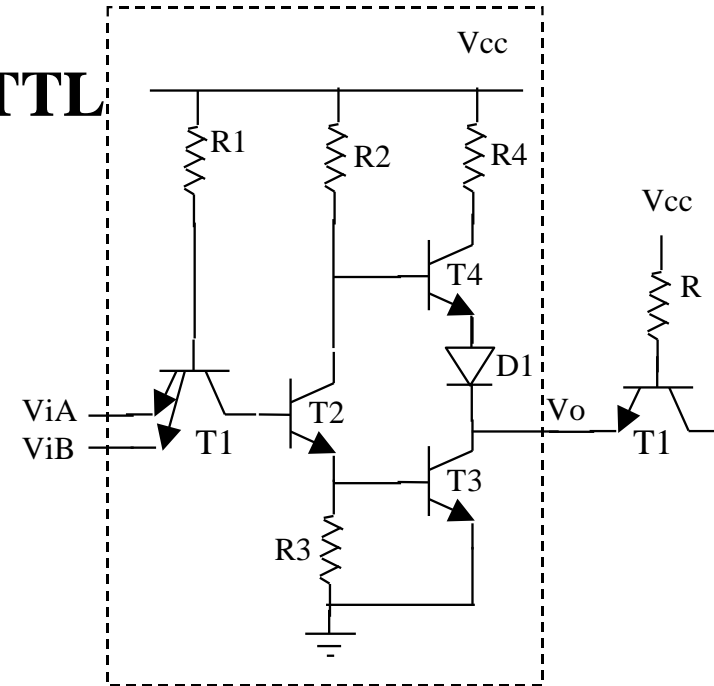
$\approx V_{cc} - V_d - V_{ce} - R4 \cdot I_{oh} > V_{ih}$ (tip. $V_{oh} \approx 3V$)

$I_{oh} > n \cdot I_{ih}$ (tip. $n > 10$)

$I_{il} = (V_{cc} - V_{ce,sat} - V_{d,sat}) / R1 \approx 1mA$

$V_{il} < 1.4V \approx 1.3V$

NOTA: $I_{ccl} > I_{cch}$



Modello e dispositivi reali

- **Famiglie logiche bipolari**
- **HTTL (High Speed TTL)**
 - Riduzione dei valori resistivi -> aumento dei consumi
- **LTTL (Low-power TTL)**
 - Aumento dei valori resistivi -> Riduzione delle prestazioni
- **STTL (Schottky TTL)**
 - Utilizzo di transistori Schottky
(diodo Schottky metallo-semiconduttore,
 $V_d \approx 0.35V$, $t_p \approx 5ps$)
- **LSTTL (Low-power Schottky TTL)**
- **FTTL (Fast –Fairchild Advanced Schottky TTL- TTL)**
- **ASTTL (Advanced Schottky TTL)**
- **ALSTTL (Advanced Low-power Schottky TTL)**

Modello e dispositivi reali

- Famiglia logica bipolare LSTTL

- Caratteristiche statiche

SIGLA	MIN.	TYP.	MAX.	CONDIZIONI
Vih	2V			
Vil			0.8V	
Ioh			-0.4mA	
Iol			8.0mA	
Voh	2.7V	3.4V		Vcc=min., Vil=max., Ioh=max.
Vol		0.35V	0.5V	" " Vih=min., Iol=max.
Iih			20μA	Vcc=max., Vin=2.7V
Iil			-0.4mA	" " Vin=0.4V
Icch		0.8mA	1.6mA	Vcc=max., Vin=0V
Iccl		2.4mA	4.4mA	" " Vin=4.5V

- Caratteristiche dinamiche

	Test conditions	Tplh,typ	Tplh,max	Tphl,typ	Tphl,max
MITSUBISHI	Vcc=5V Cl=15pF	6ns	15ns	5ns	15ns
TEXAS	Vcc=5V Cl=15pF	9ns	15ns	9ns	15ns
FAIRCHILD	Vcc=5V Cl=10pF	-	10ns	-	10ns

Modello e dispositivi reali

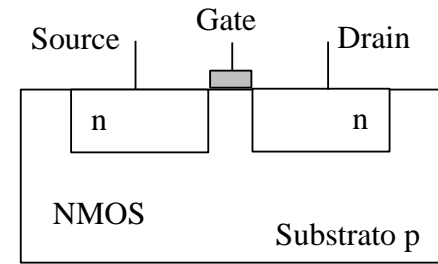
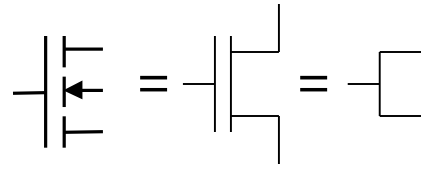
- Famiglie logiche bipolari
- Indice di merito = prodotto $T_{pd} * P_d$

Circuito integrato 74XX00 (4 porte NAND)

Serie	T_{pd} porta NOT (ns)	P_d (mW)	Indice di merito (pJ)
74 (TTL std)	10	10	100
74S	3	19	57
74LS	9.5	2	19
74AS	1.5	20	30
74ALS	4	1	4

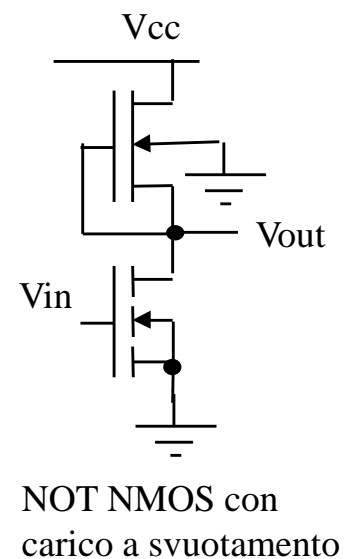
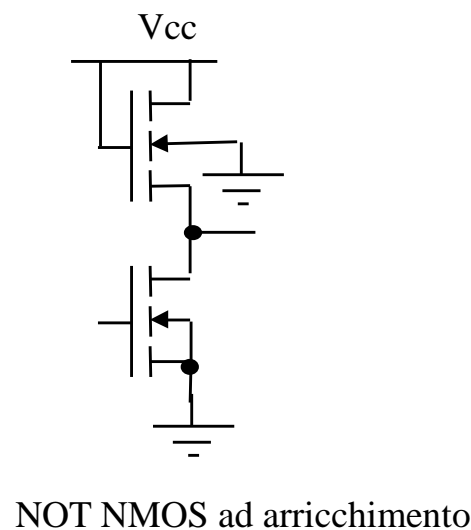
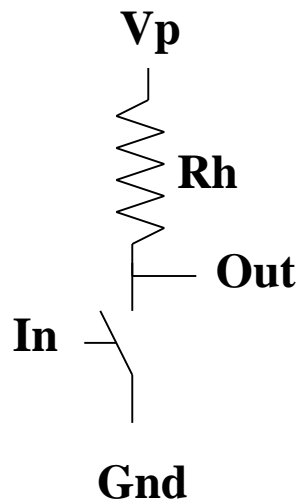
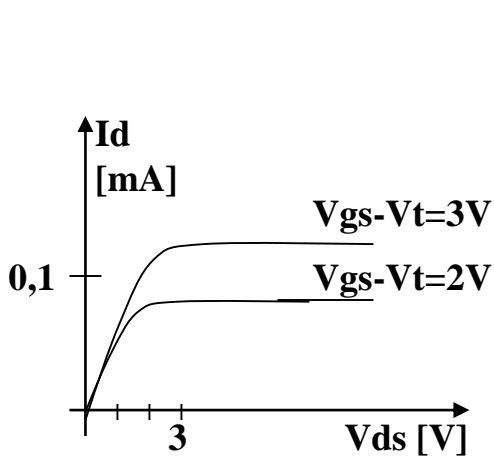
Modello e dispositivi reali

- NMOS ad arricchimento
- NMOS arricchimento



ZONA FUNZIONAMENTO	V_{gs}	V_{ds}	I_d
INTERDIZIONE	$< V_t$	0	
OHMICA (TRIODO)	$> V_t$	$< V_{gs} - V_t$	$k(V_{gs} - V_t)V_{ds} \approx V_{ds}/R_{on}$
SATURAZIONE	$> V_t$	$> V_{gs} - V_t$	$(k/2)(V_{gs} - V_t)^2/2$

- Capacità d'ingresso $\sim 10\text{pF}$ (lento). Più veloce ad accendersi che a spegnersi
- $V=Q/C$ piccole cariche possono produrre sovratensioni elevate! (ElectroStatic Discharge)

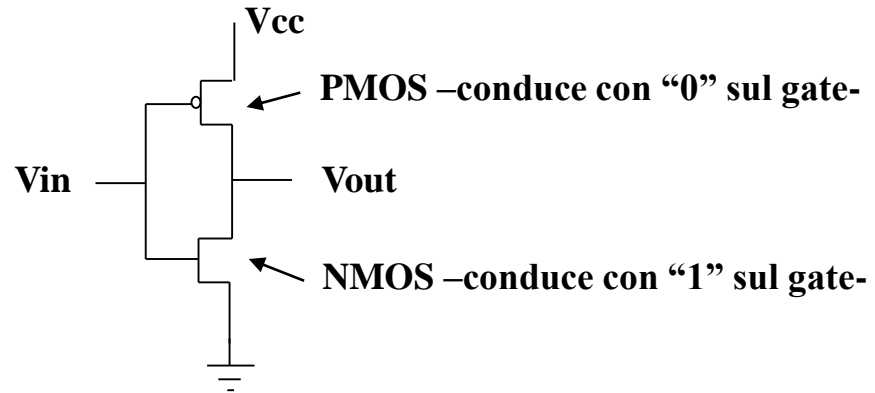
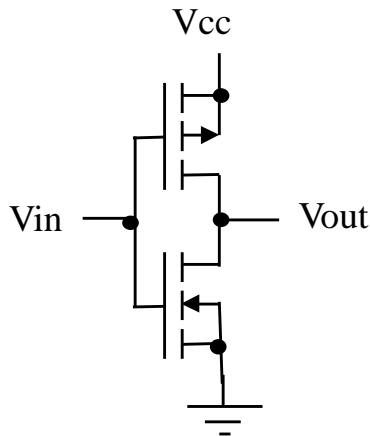
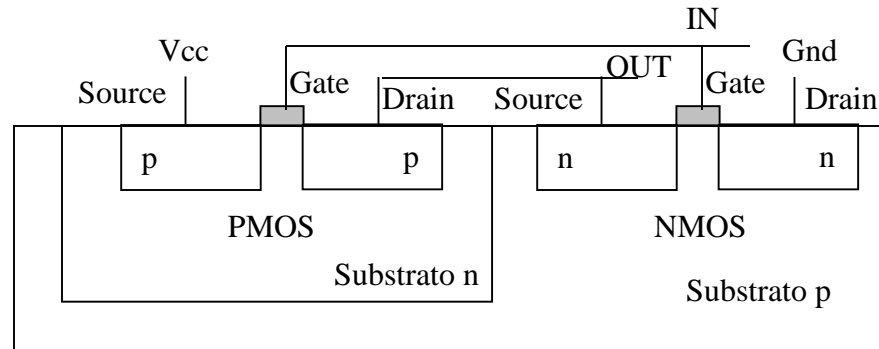


Modello e dispositivi reali

- CMOS (Complementary MOS)

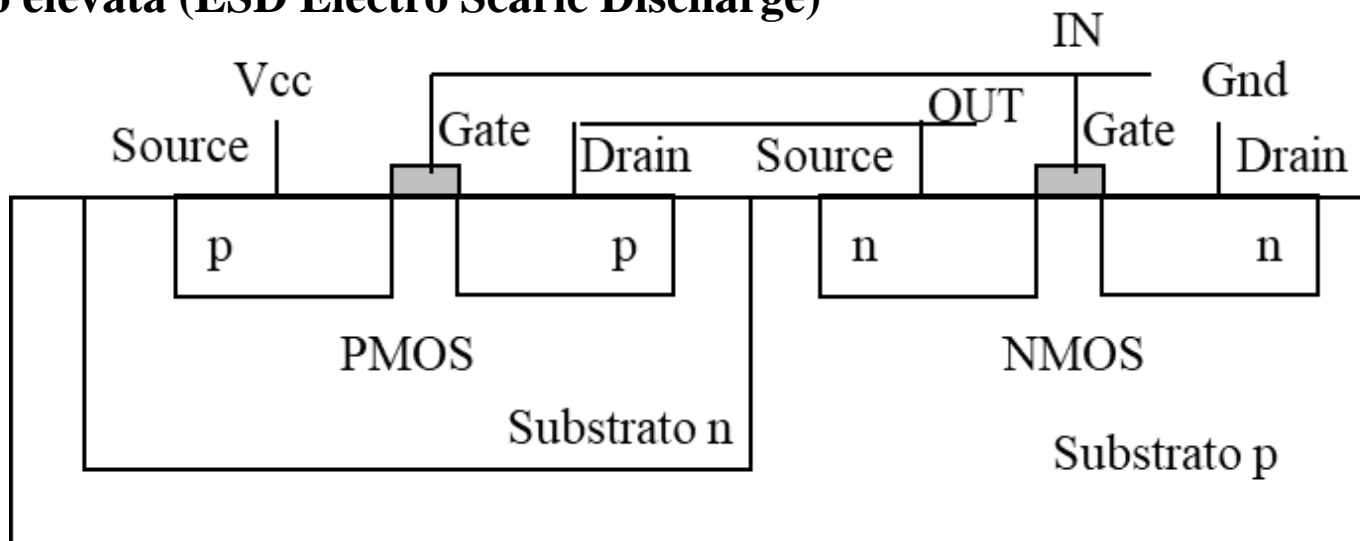
- L'elemento CMOS consta di due MOSFET ad arricchimento con canali a polarità opposta (NMOS e PMOS) che lavorano in opposizione di fase

- Maggiore velocità di commutazione e simmetria dei tempi ($T_{phl} \approx T_{plh}$)
- Compensazione termica, dissipazione di potenza statica trascurabile ($V_{cc} \cdot I$)
- Ottime caratteristiche statiche ($V_{oh} \approx V_{cc}$, $V_{ol} \approx \text{gnd}$, $I_{ih} \approx I_{il} \approx 0$, $V_s \approx (V_{oh} + V_{ol})/2$)



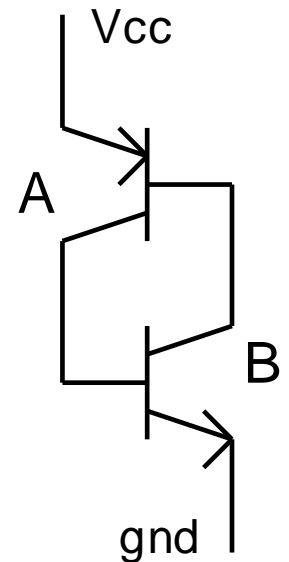
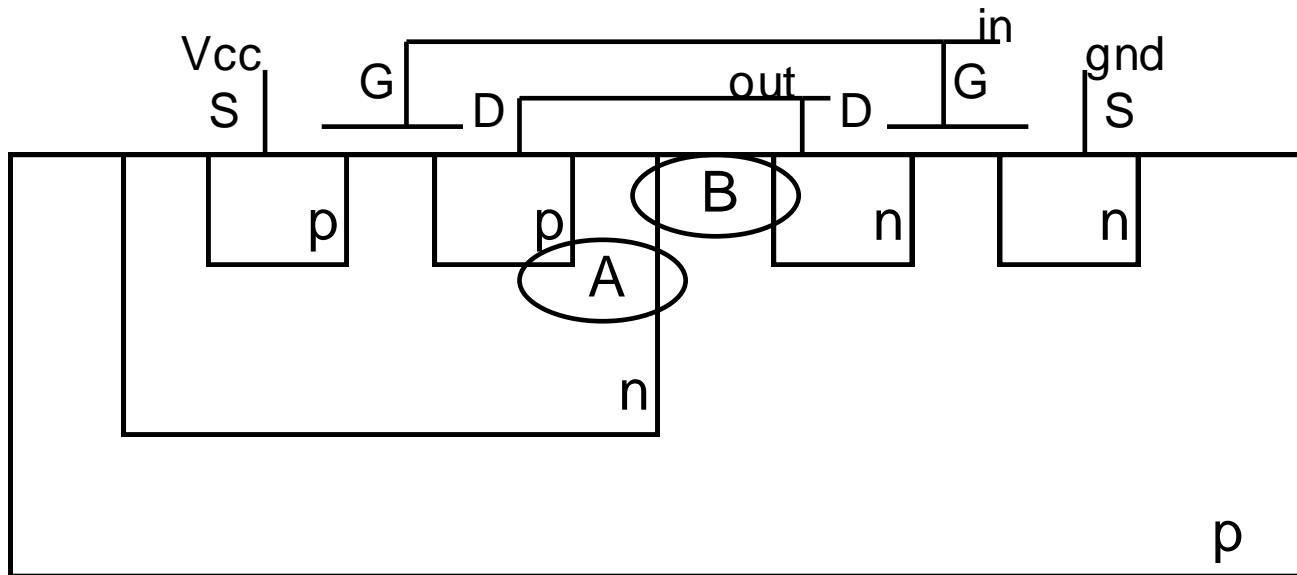
Modello e dispositivi reali

- CMOS (Complementary MOS)
- Il CMOS, rispetto alle soluzioni MOS, ha notevoli vantaggi
- Il CMOS, rispetto alle soluzioni BJT presenta:
 - Maggiore densità di integrazione e range di alimentazione (non integra resistenze)
 - Dissipazione statica trascurabile (non assorbe corrente in ingresso, non ha mai percorsi di conduzione statica tra alimentazione e massa in uscita)
 - Comportamento simmetrico ("0" e "1" hanno livelli elettrici complementari)
 - Migliore comportamento termico (compensazioni termiche)
- Sono più lenti e sensibili alle scariche elettrostatiche ($C_{in} = C_{gate}$)
 - La C_{in} rende il dispositivo più lento del bipolare, per cui si cerca di fare C piccole
 - $V=Q/C$ ma se C è molto piccola, un piccolo spostamento di cariche genera una V molto elevata (ESD Electro Scaric Discharge)



Modello e dispositivi reali

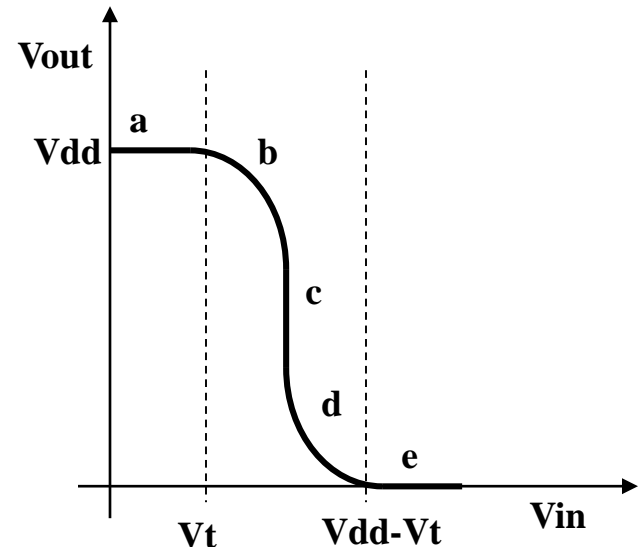
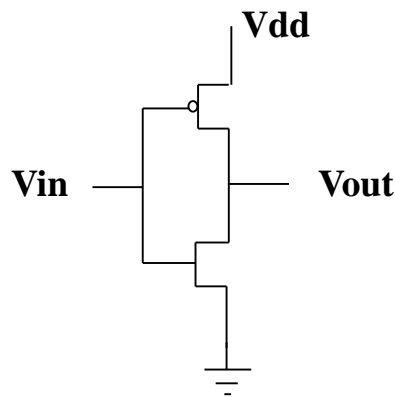
- CMOS (Complementary MOS) e LATCH-UP
- Avvicinando il transistor NMOS al PMOS (circuiti integrati) si creano transistori bipolari parassiti (LATCH-UP)
- Se i transistori bipolari (BJT) innescano un percorso di conduzione, si crea una corrente di corto circuito che può portare alla distruzione del componente
- Drogaggi di guardia per limitare la probabilità di innesco dei BJT



Modello e dispositivi reali

- CMOS (Complementary MOS)

- Regione “a” : $V_{in} < V_t$, $I=0$, PMOS zona ohmica, NMOS off, $V_{out}=V_{dd}$
- Regione “b” : PMOS zona ohmica (triode), NMOS saturazione
- Regione “c” : PMOS saturazione, NMOS saturazione (massimo consumo)
- Regione “d” : PMOS saturazione, NMOS zona ohmica (triode)
- Regione “e” : $V_{in} > V_{dd} - |V_t|$, $I=0$, NMOS zona ohmica, PMOS off, $V_{out}=0$
- **NOTA:** il consumo durante la commutazione si modella bene mediante C_{pd} (una corrente limitata nel tempo corrisponde ad un trasferimento di carica)



Modello e dispositivi reali

- **Famiglie logiche CMOS**
- **4000/4000B (Buffered) (1967)**
 - Ampio range di alimentazione (da 3V a 18V). Rispetto ai TTL è più lenta (≈ 10 volte) ma consuma meno ($\approx 1/3$)
- **74C (CMOS pin-compatibile TTL)**
- **74HC (High Speed CMOS)**
 - Competitiva rispetto ai 74LS
- **74HCT (High Speed CMOS TTL compatible)**
 - Si può interfacciare ai TTL (V_{il} e V_{ih} uguali ai TTL)
- **74AC (Advanced CMOS)**
 - Tecnologia con tempi di commutazione $\approx 1\text{ns}$ e dissipazione di potenza “CMOS”
- **74AC11**
 - (rinuncia alla compatibilità pin-to-pin per migliorare la distribuzione della V_{cc})
- **74ACT (Advanced CMOS TTL compatible)**

Modello e dispositivi reali

- **Famiglia 74HC**

- **Caratteristiche statiche ideali**

$2V < V_{cc} < 6V$ (Nella famiglia TTL compatibile $V_{cc}=5V \pm 10\%$)

$V_{oh}=99\%V_{cc}$ $V_{ol}=1\%V_{cc}$ $V_{ih}=70\%V_{cc}$ $V_{il}=30\%V_{cc}$ $V_s=50\%V_{cc}$

$I_{oh} = I_{ol} = 4mA$ $I_{ih} = I_{il} = 1\mu A$

- **Assorbimento di potenza**

$I_{cc}(74LS00) \approx 5mA$ (valore medio tra I_{cch} e I_{ccl})

$I_{cc}(74HC00) \approx 5\mu A$ ($f < 10kHz$)

$I_{cc}(74AC00) \approx 0.2\mu A$ ($f < 10kHz$)

$I_{cc}(74HC00) \approx 5mA$ ($f \approx 10MHz$)

$I_{cc}(74AC00) \approx 0.4mA$ ($f \approx 10MHz$)

- **Caratteristiche dinamiche**

$T_{phl} \approx T_{plh} \approx 20ns$, Tempi di propagazione circa doppi rispetto ai 74LS

- **Famiglie logiche CMOS**

Serie	I_I	C_{in}	C_{pd}	T_{pd} ($V_{dd}=5V, T=25^\circ C, C_l=50pF$)	F_{max}
4000B	$1\mu A$	10pF	30pF	250ns,max	2MHz
74HC	$1\mu A$	10pF	30pF	25ns,max	25MHz
74AC	$1\mu A$	4pF	20pF	8ns,max	40MHz

Modello e dispositivi reali

• Interfacciamento TTL CMOS ($V_p = 5V$)

Parametro	TTL			CMOS	
	74XX	74LSXX	74ALSXX	74HCXX	74HCTXX
Iih(max)	40 μ A	20 μ A	20 μ A	1 μ A	1 μ A
Iil(max)	1.6mA	400 μ A	100 μ A	1 μ A	1 μ A
Ioh(max)	400 μ A	400 μ A	400 μ A	4mA	4mA
Iol(max)	16mA	8mA	8mA	4mA	4mA
Vih(min)	2.0V	2.0V	2.0V	3.5V	2.0V
Vil(max)	0.8V	0.8V	0.8V	1.5V	0.8V
Voh(min)	2.4V	2.7V	2.5V	4.9V	4.9V
Vol(max)	0.4V	0.5V	0.5V	0.1V	0.1V

Non si rispettano le condizioni di immunità al rumore quando un dispositivo TTL pilota un ricevitore CMOS

Nota: verificare FANOUT e Immunità al rumore V_n :

- da TTL a TTL (74LSXX, FANOUT=20, $V_n=0,3V$)
- da CMOS a CMOS (74HCXX, FANOUT=4000, $V_n=1,4V$)
- da CMOS a TTL (FANOUT=10, $V_n=0,7V$)
- da TTL a CMOS (FANOUT=400, $V_n=-0,8V$)

Modello e dispositivi reali

• Interfacciamento TTL CMOS ($V_p = 5V$)

Resistenza di pull-up R_p

- $R_{p,max} = (V_{cc} - V_{oh}') / (n \cdot I_{ih})$
- $R_{p,min} = (V_{cc} - V_{ol}) / (I_{ol} - n \cdot I_{il})$
- Interdice il "totem-pole" (T4 sempre OFF)

Nota: V_{oh}' è la nuova V_{oh} data da R_p

Problema: Si dimensiona R_p tra TTL (74LS) e CMOS (74HC) se ci sono 5 carichi CMOS
Con immunità al rumore in "1" $V_{nh} = 0.2V$

Soluzione

La resistenza serve a fornire corrente agli n carichi senza "caricare" il transistore dello stadio di uscita (effetto "open collector")

"1": $V_{oh}' = V_{ih}(CMOS) + V_{nh} = 3.7V$,

$$(V_{cc} - V_{oh}') / R_p \geq n \cdot I_{ih} = 5\mu A$$

$$\rightarrow R_{p,max} = (V_{cc} - V_{oh}') / (n \cdot I_{ih}) = 260k\Omega$$

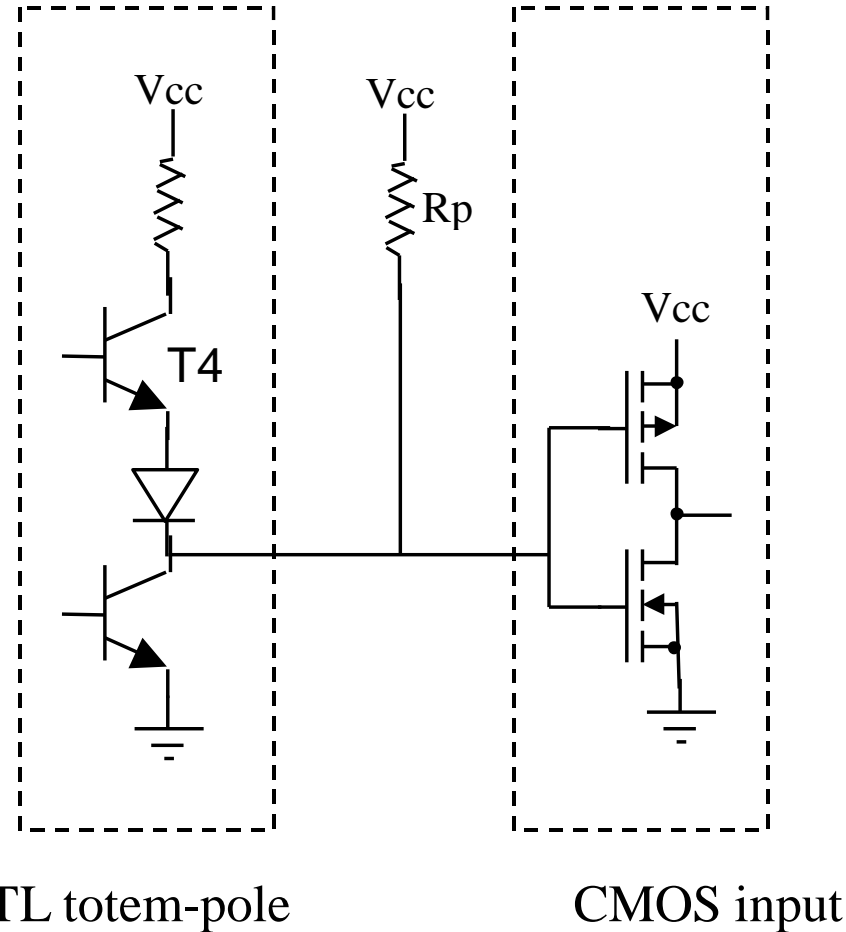
"0": $V_{ol} = V_{ol}(LSTTL)$ e $I_{ol} = I_{ol}(LSTTL)$

$n \cdot I_{il}$ = corrente tot. dei carichi = $5\mu A$

$$n \cdot I_{il} + (V_{cc} - V_{ol}) / R_p < I_{ol}$$

$$\rightarrow R_{p,min} = (V_{cc} - V_{ol}) / (I_{ol} - n \cdot I_{il}) = (5V - 0.5V) / (8mA - 5\mu A) = 563\Omega$$

Nota: Valori prossimi a $R_{p,min}$ consentono migliori prestazioni



TTL totem-pole

CMOS input

Modello e dispositivi reali

- **Famiglie logiche più recenti**
- **Pochi sviluppi nelle famiglie bipolari**
 - La famiglia AS (metà degli anni 80) non ha subito importanti evoluzioni
 - Non si prevede l'introduzione di famiglie bipolari a 3.3V
 - La famiglia ALS non ha avuto il successo sperato (poco competitiva con AC)
- **Generazioni di famiglia logiche CMOS**
 - 1) **AC, ACT, FCT.**
Dispositivi senza controllo di slew-rate e con problemi di diafonia e disturbi sull'alimentazione
 - 2) **ACQ, ACTQ, FCT-T.**
Dispositivi con controllo di slew-rate e livelli in tensione simili ai TTL
 - 3) **LVQ, LVC.** Dispositivi ottimizzati per alimentazione a 3.3V

Tecniche di progettazione

Circuiti stampati

Disturbi

Dinamica

tradizionale

doppia faccia (zoccolo)

segnale

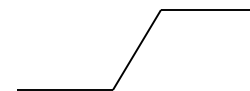
prestazioni elevate

avanzata

multistrato (SMT)

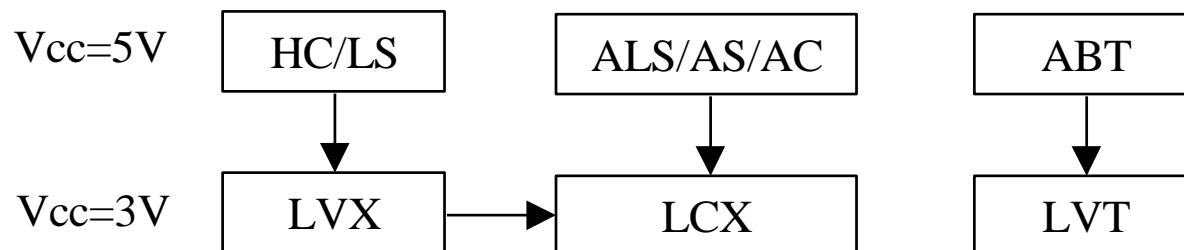
alimentazione

prestaz. controllate



Modello e dispositivi reali

- Famiglie logiche **BICMOS (Bipolar-CMOS)**
- **Dispositivi BiCMOS (anni 90)**
 - Combina la tecnologia AC (stadi di ingresso e funzionali) e AS (stadi di uscita con possibilità di commutazione rapida di correnti "elevate" -20-30mA-)
- **Famiglia più famosa = BCT**
 - Molto utilizzata per il pilotaggio di bus (bus driver)
 - Elevate correnti di uscita (da 24mA a 64mA)
- **Famiglia “Advanced” = ABT**
 - Controllo dello slew-rate di uscita
- **Famiglia con alimentazione a 3.3V = LVT (TTL compatibile)**
- **Famiglia a 3.3V fully-TTL-compatible (in ingresso e uscita)= LCX**



Modello e dispositivi reali

- Famiglie logiche più recenti
- Caratteristiche di un componente di media complessità (octal buffer 74XX240) nelle condizioni peggiori di alimentazione e temperatura

Serie	Tpd(ns)	Vil,max	Vih,min	Vol,max	Voh,min
AS	7.0	0.8	2.0	0.55	2.4
FAST	9.0	0.8	2.0	0.55	2.4
AC (Vcc=5V)	8.0	1.35	3.15	0.1	4.4
AC (Vcc=3.3V)	10.0	-	-	-	-
ACT (Vcc=5V)	7.5	0.8	2.0	0.5	3.7
ACT (Vcc=3.3V)	9.5	-	-	-	-
BCT	6.4	0.8	2.0	0.55	2.2
LVT	4.5	0.8	2.0	0.5	2.2

Modello e dispositivi reali

- Famiglie logiche più recenti, statica

Serie	Vil	Vih	Vol	Voh	Iil	Iih	Iol	Ioh	Icc(H-L)	Vcc
LS(Motorola)	0.8V	2.0V	0.5V	2.7V	-.4mA	20μA	8mA	-.4mA	1.6mA-4.4mA	5V±10%
ALS(Texas)	0.8V	2.0V	0.5V	2.5V	-.1mA	20μA	8mA	-.4mA	.85mA-3mA	5V±10%
FAST(Mot.)	0.8V	2.0V	0.5V	2.5V	-.6mA	20μA	8mA	-.4mA	2.8mA-10mA	5V±10%
AS(Texas)	0.8V	2.0V	0.5V	2.7V	-.5mA	20μA	20mA	-2mA	3.2mA-17mA	5V±10%
HC(Motorola)	1.5V	3.5V	0.1V	4.9V	-1μA	1μA	4mA	-4mA	1μA	2V÷6V
HCT(Mot.)	0.8V	2.0V	0.1V	4.9V	-1μA	1μA	4mA	-4mA	1μA	2V÷6V
AC(Texas)	1.5V	3.5V	0.5V	4.3V	-1μA	1μA	24mA	-24mA	40μA	3V÷5.5V
ACT(Texas.)	0.8V	2.0V	0.5V	4.3V	-1μA	1μA	24mA	-24mA	40μA	5V±10%
BCT(Texas.)'	0.8V	2.0V	0.55V	2.0V*	-1mA	20μA	64mA	-15mA	40mA-80mA	5V±10%
ABT(Nation.)'	0.8V	2.0V	0.55V	2.0V*	-5μA	5μA	64mA	-32mA	50μA-30mA	5V±10%
LVT(Nation.)'	0.8V	2.0V	0.55V	2.0V*	-5μA	10μA	64mA	-32mA	.2mA-17mA	2V÷3.6V
LVX(Nation.)	0.8V	2.0V	0.36V	2.6V	-1μA	1μA	4mA	-4mA	20μA	2V÷3.6V
LCX(Nation.)	0.8V	2.0V	0.55V	2.2V	-5μA	5μA	24mA	-24mA	10μA	2V÷3.6V

* Dato per Vcc=min.

Se Vcc=tipico (5V/3V) le caratteristiche Voh aumenta di circa il 10% (Voh≈2.2V).

‘74XX244 (buffer ottale), altrimenti 74XX00 (4 porte NAND)

- Livelli TTL: meno diafonia, meno Pd,dinamica, meno dI/dt, meno disturbi

Modello e dispositivi reali

• Famiglie logiche più recenti, dinamica

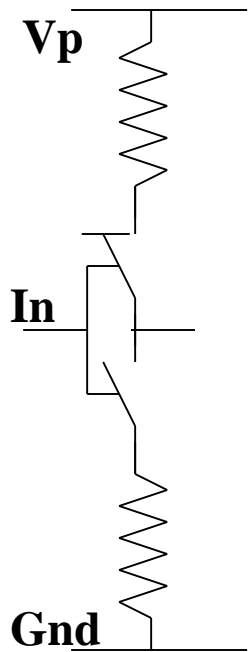
Serie	Cpd	$T_{p\,lh_{max}}$	$T_{p\,hl_{max}}$	$T_{p\,lh_{typ}}$	$T_{p\,hl_{typ}}$	Clo	Cin	Trise	Tfall	Fmax
LS(Motorola)	-	15ns	15ns	9ns	10ns	15pF	5pF	6ns	6ns	40MHz
ALS(Texas)	-	11ns	8ns	3ns*	2ns*	50pF	5pF	3ns	3ns	70MHz
FAST(Mot.)	-	6ns	5.3ns	2.4ns*	1.5ns*	50pF	5pF	2ns	2ns	125MHz
AS(Texas)	-	4.5ns	4ns	1ns*	1ns*	50pF	5pF	1.2ns	1.2ns	200MHz
HC(Mot.)	22pF	15ns	15ns	-	-	50pF	10pF	15ns	15ns	25MHz
HCT(Mot.)	22pF	17ns	16ns	-	-	50pF	10pF	15ns	15ns	20MHz
AC(Texas)	33pF	7.4ns	6.8ns	1.5ns*	1.5ns*	50pF	3.5pF	3ns	3ns	125MHz
ACT(Texas)	23pF	12.3ns	8.8ns	1.5ns*	1.5ns*	50pF	3.5pF	3ns	3ns	100MHz
BCT(Texas.)'	-	5ns	5.5ns	0.7ns*	1.4ns*	50pF	3.5pF	2.5ns	2.5ns	70MHz
ABT(Nation.)'	-	3.6ns	3.6ns	1ns*	1ns*	50pF	5pF	2.5ns	2.5ns	100MHz
LVT(Nation.)'	-	5ns	5.5ns	0.7ns*	1.4ns*	50pF	3.5pF	2.5ns	2.5ns	70MHz
LVX(Nat.)	19pF	12.5ns	16ns	7.9ns	6.6ns	50pF	10pF	2.5ns	2.5ns	70MHz
LCX(Nat.)	25pF	6ns	6ns	1.5ns*	1.5ns*	50pF	7pF	2.5ns	2.5ns	150MHz

* Dato per $V_{cc}=\min$.

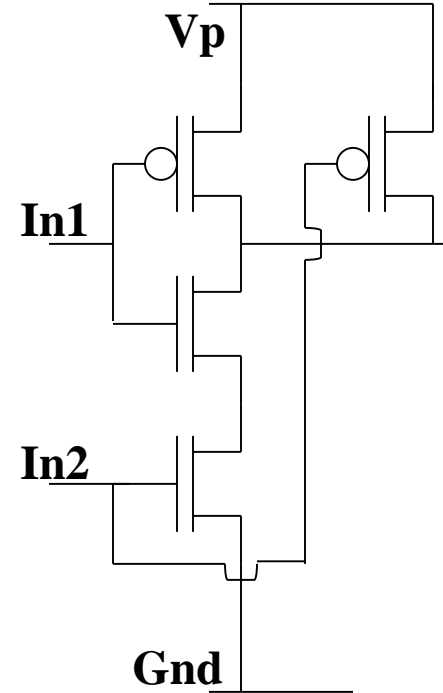
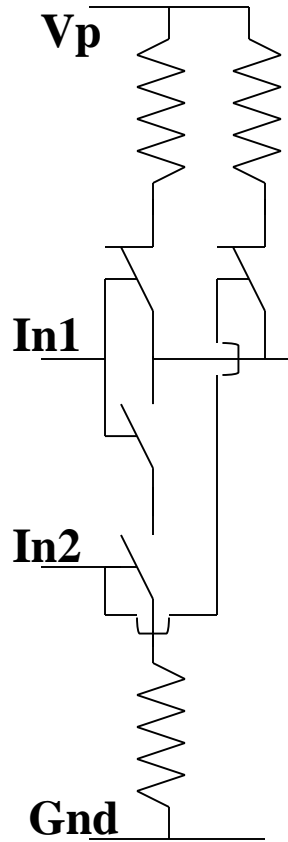
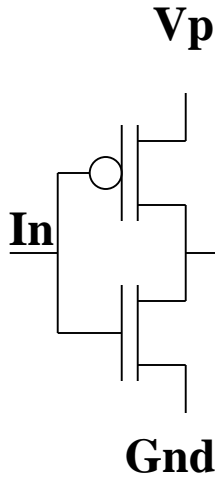
‘74XX244 (buffer ottale), altrimenti 74XX00 (4 porte NAND)
 F_{max} da 74XX74 (Typ. $F_{max} \approx 2 / (T_{p\,hl} + T_{p\,lh})$)

Logica ed Elettronica, la logica a interruttori

- Funzioni logiche realizzate mediante interruttori



NOT

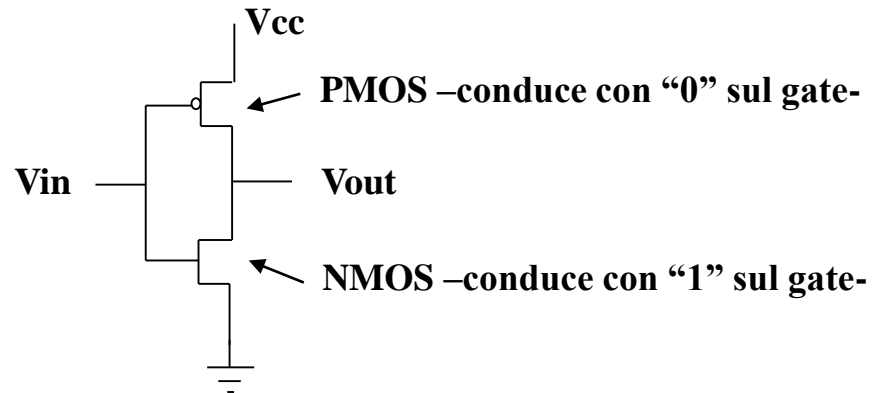


NAND

- AND = serie degli interruttori
- OR = parallelo degli interruttori

Logica ed Elettronica, la logica a interruttori

- **Funzioni logiche realizzate con interruttori CMOS (FCMOS)**
- **Data una funzione F , la realizzazione FCMOS consta di**
 - Un “pull-up” realizzato a PMOS che implementa F
 - Un “pull-down” realizzato a NMOS che implementa $\text{NOT}(F)=!F$
- **Si considerano solo MOS ad arricchimento**
 - PMOS = interruttore che si chiude con “0” sul gate (logica negata)
 - NMOS = interruttore che si chiude con “1” sul gate (logica vera)
- **AND = & = serie degli interruttori**
- **OR = + = parallelo degli interruttori**
- **NOT = ! = porta elementare**

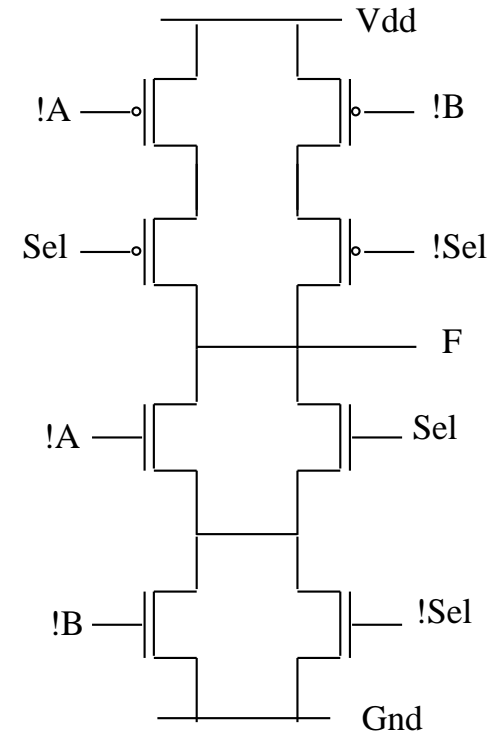
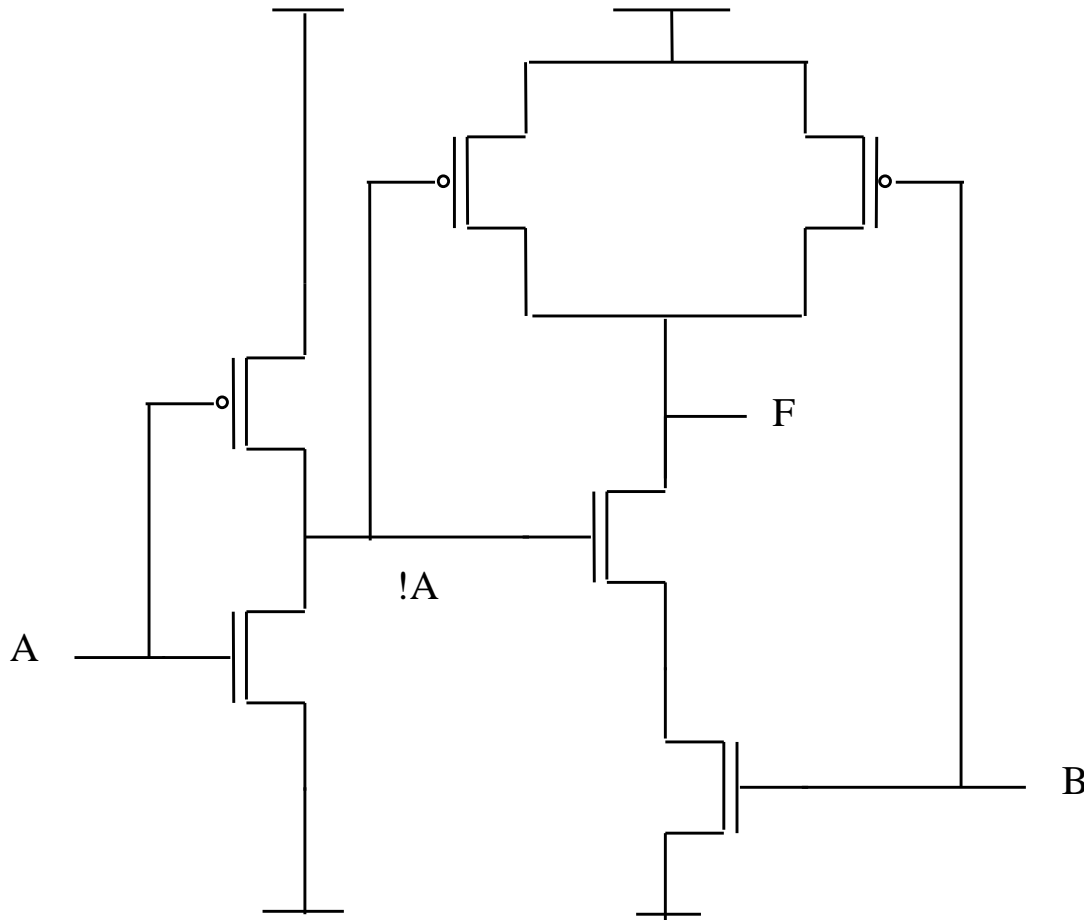


Logica ed Elettronica, la logica a interruttori

- Logica Fully-CMOS (FCMOS)

$$F = !(A \& B) = A + !B$$

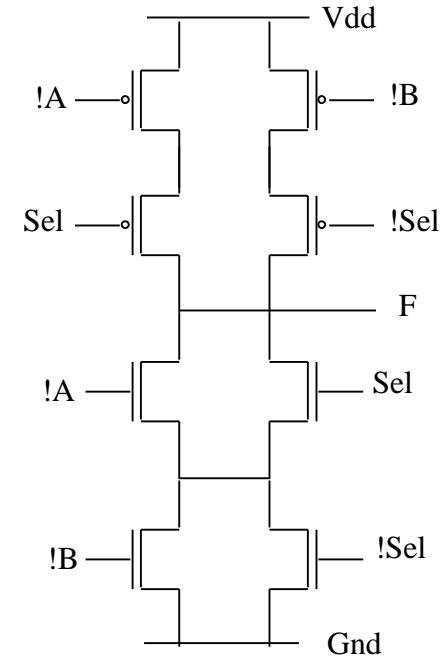
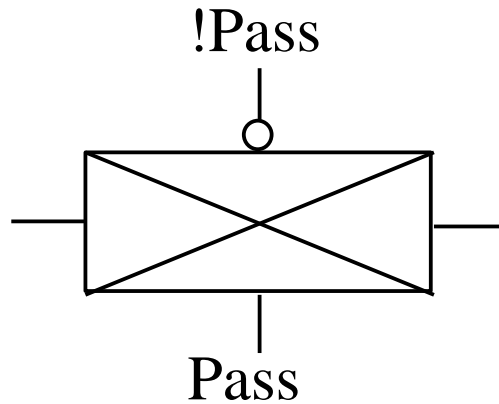
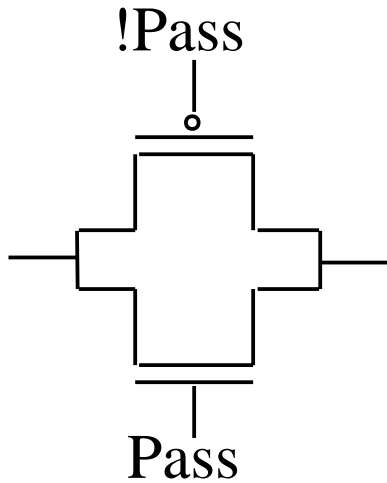
$$F = A \& !Sel + B \& Sel$$



Logica ed Elettronica, la logica a interruttori

• L'elemento switch

$$F = A \& !\text{Sel} + B \& \text{Sel}$$



**Richiede adattamento
d'ingresso e di uscita (buffer)**

