

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 11/7/2016

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti
Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome _____ Nome _____ Mat. _____ Data __/__/__

1) Iccl rappresenta...

- a) la corrente assorbita da uno stadio Schmidt trigger durante la commutazione verso "0"
- b) la corrente impulsiva che carica e scarica la capacità C_{pd} quando l'uscita va a "0"
- c) la corrente assorbita dall'alimentazione quando le uscite sono a "0"

2) I dispositivi open-collector...

- a) differiscono dai dispositivi normali quando l'uscita è a "0"
- b) differiscono dai dispositivi normali quando l'uscita è a "1"
- c) differiscono dai dispositivi normali perché aggiungono in uscita un terzo stato "Z"

3) La tecnologia ... modifica lo stadio di ingresso rispetto alla tecnologia precedente.

- a) RTL
- b) DTL
- c) TTL

4) Un contatore asincrono....

- a) ha il reset asincrono
- b) ha uno stadio di sincronizzazione per compensare il disallineamento delle uscite
- c) ha tutti i flip-flop con il clock collegato insieme

5) Nei microcontrollori (uC) la conversione D/A...

- a) avviene mediante filtraggio esterno passa basso di segnali PWM generati dal uC
- b) avviene mediante convertitori integrati di tipo R/2R
- c) avviene mediante convertitori integrati di tipo Sigma/Delta

6) Una cella di memoria RAM dinamica a 1 bit è costituita da

- a) un flip-flop di tipo D e un buffer 3-state
- b) un interruttore e un condensatore
- c) un NMOS speciale con gate aggiuntivo flottante

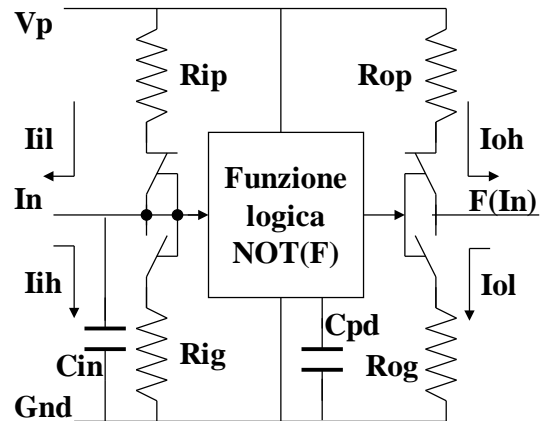
7) Un dispositivo GAL22V10...

- a) implementa solo forme canoniche
- b) ha un ritardo di propagazione costante tra qualunque ingresso e qualunque uscita
- c) permette l'implementazione di contatori sincroni e asincroni

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 11/7/2016 (1h 40 minuti)

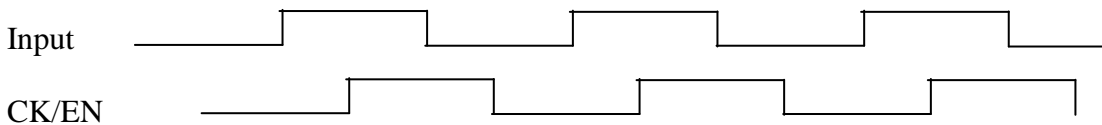
Problema

Calcolare i parametri dinamici del dispositivo ipotizzando un'onda quadra in ingresso
 $f=10\text{MHz}$ ($I_l=1\mu\text{A}$, $V_n=\pm 0,1\text{V}$)
 $R_{ip}=R_{ig}=20\text{k}\Omega$, $R_{op}=R_{og}=1\text{k}\Omega$
 $V_p = 5\text{V}$, $C_{in}=10\text{pF}$, $C_{pd}=20\text{pF}$
 $T_{rise,typ}=T_{fall,typ}= 1\text{ns}+(40\text{ps/pF})\cdot C_l$
 $T_{phl,typ}=T_{plh,typ}=8\text{ ns}$ (@ $C_{lo} = 50\text{pF}$)
 $T_{phl,max}=T_{plh,max}=10\text{ ns}$ (@ $C_{lo}= 50\text{pF}$)
 a vuoto (1 punto)
 con 10 carichi (1 punto)
 con 100 carichi (1 punto)



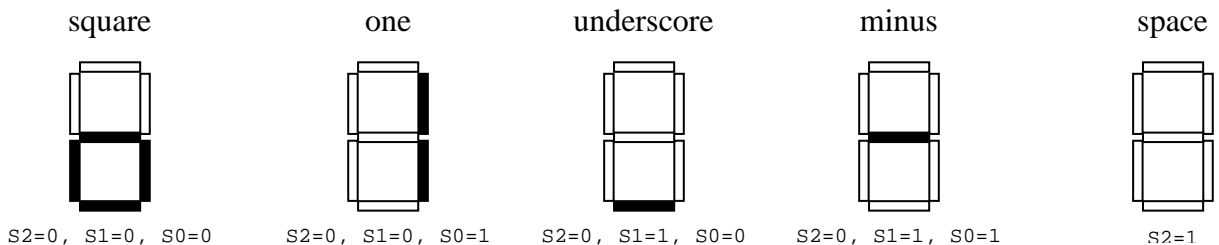
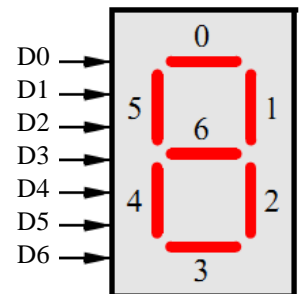
Problema

Si descrivano brevemente le funzionalità di latch e flip-flop, anche indicando graficamente la risposta ai seguenti segnali e motivando se vi sono condizioni di meta stabilità (2 punti)

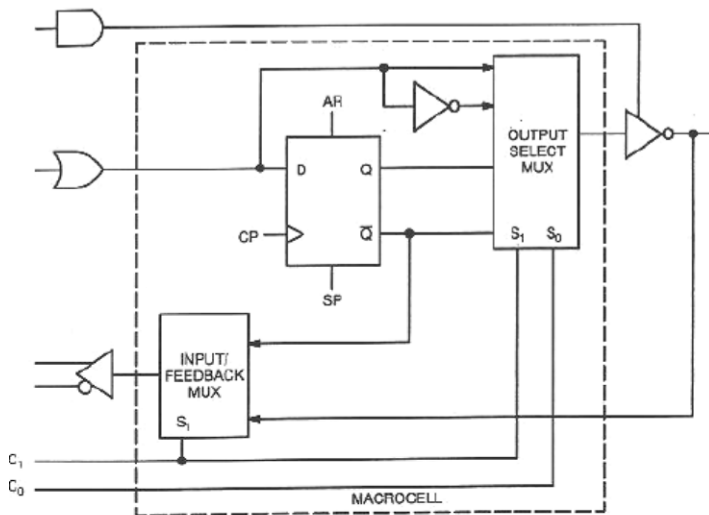
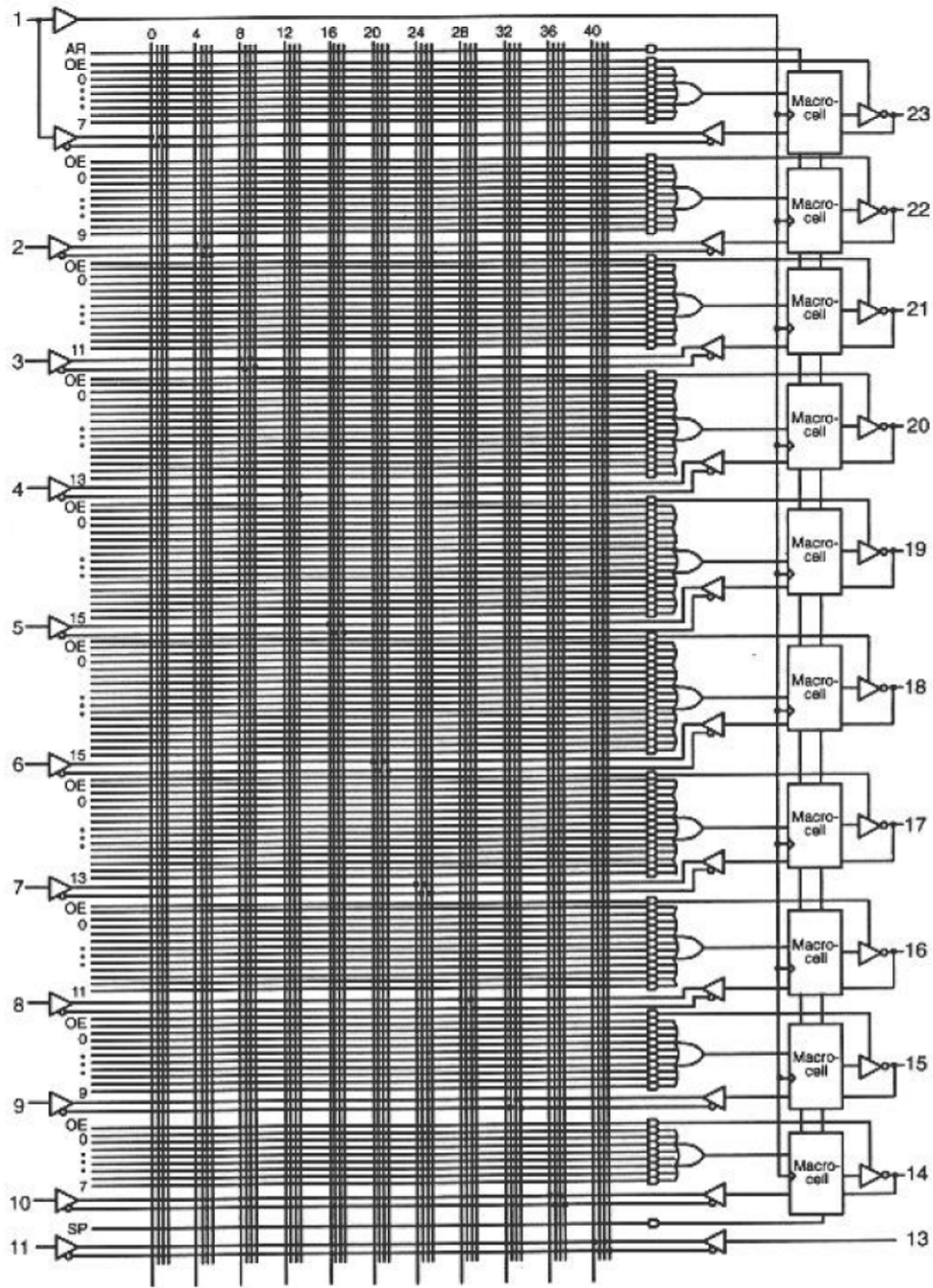


Problema

1) Un display a sette segmenti è un dispositivo composto da 7 diodi led di forma allungata, ognuno dei quali pilotato da un opportuno segnale digitale, disposti in modo tale da poter rappresentare determinati caratteri. Di seguito è mostrato uno schema di un led a sette segmenti con la disposizione dei led ed i relativi ingressi di controllo (es. D0 è connesso al segmento 0).
 Si realizzi mediante linguaggio booleano per una GAL22V10 un decoder per il display a 7 segmenti di cui sopra che permette la visualizzazione di cinque diversi caratteri, mostrati di seguito, a seconda del valore impostato sui tre ingressi di selezione S2, S1, S0. Si consideri un display a catodo comune (accensione del led con il relativo ingresso a '1'). (1 punto)



- 2) Si realizzi il decoder del punto precedente in linguaggio VHDL. (1 punto)
 3) Si modifichi il programma del punto precedente in modo tale da rendere il decoder adatto a funzionare anche con display ad anodo comune (accensione del led con il relativo ingresso a '0'), mediante un ingresso aggiuntivo T di selezione tipologia display (T='0' → anodo comune; T='1' → catodo comune) (1 punto)



SOLUZIONI

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE

Appello d'esame del 11/7/2016

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti

Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome _____ Nome _____ Mat. _____ Data __/__/__

1) Iccl rappresenta...

- (a) la corrente assorbita da uno stadio Schmidt trigger durante la commutazione verso "0"
- (b) la corrente impulsiva che carica e scarica la capacità C_{pd} quando l'uscita va a "0"
- (c) la corrente assorbita dall'alimentazione quando le uscite sono a "0"

C

2) I dispositivi open-collector...

- (a) differiscono dai dispositivi normali quando l'uscita è a "0"
- (b) differiscono dai dispositivi normali quando l'uscita è a "1"
- (c) differiscono dai dispositivi normali perché aggiungono in uscita un terzo stato "Z"

B

3) La tecnologia ... modifica lo stadio di ingresso rispetto alla tecnologia precedente.

- (a) RTL
- (b) DTL
- (c) TTL

B

4) Un contatore asincrono....

- (a) ha il reset asincrono
- (b) ha uno stadio di sincronizzazione per compensare il disallineamento delle uscite
- (c) ha tutti i flip-flop con il clock collegato insieme

B

5) Nei microcontrollori (uC) la conversione D/A...

- (a) avviene mediante filtraggio esterno passa basso di segnali PWM generati dal uC
- (b) avviene mediante convertitori integrati di tipo R/2R
- (c) avviene mediante convertitori integrati di tipo Sigma/Delta

A

6) Una cella di memoria RAM dinamica a 1 bit è costituita da

- (a) un flip-flop di tipo D e un buffer 3-state
- (b) un interruttore e un condensatore
- (c) un NMOS speciale con gate aggiuntivo flottante

B

7) Un dispositivo GAL22V10...

- (a) implementa solo forme canoniche
- (b) ha un ritardo di propagazione costante tra qualunque ingresso e qualunque uscita
- (c) permette l'implementazione di contatori sincroni e asincroni

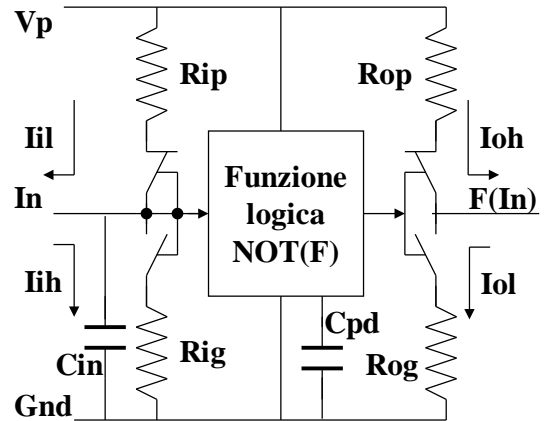
B

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 11/7/2016

Soluzioni

Problema

Calcolare i parametri dinamici del dispositivo ipotizzando un'onda quadra in ingresso
 $f=10\text{MHz}$ ($I_l=1\mu\text{A}$, $V_n=\pm 0,1\text{V}$)
 $R_{ip}=R_{ig}=20\text{k}\Omega$, $R_{op}=R_{og}=1\text{k}\Omega$
 $V_p = 5\text{V}$, $C_{in}=10\text{pF}$, $C_{pd}=20\text{pF}$
 $T_{rise,typ}=T_{fall,typ}= 1\text{ns}+(40\text{ps/pF})\cdot C_l$
 $T_{phl,typ}=T_{plh,typ}=8\text{ ns} (@ C_{lo} = 50\text{pF})$
 $T_{phl,max}=T_{plh,max}=10\text{ ns} (@ C_{lo}= 50\text{pF})$
 a vuoto (1 punto)
 con 10 carichi (1 punto)
 con 100 carichi (1 punto)



Soluzione

Il FANOUT è pari a $C_{lo}/C_{in}=5$ e quindi è possibile connettere fino a 5 carichi senza dover ricalcolare i tempi di propagazione massimi.

$$T_{phl} = T_i + T_f + T_o = T_i + T_f + T_{fall}/2$$

$$T_{plh} = T_i + T_f + T_o = T_i + T_f + T_{rise}/2$$

A vuoto $C_l=0\text{pF}$ e, dato che per $C_l < C_{lo}$ non si ricalibrano i valori dei tempi massimi, si ha $T_{phl,max} = T_{plh,max} = 10\text{ ns}$

Per i valori tipici $T_{rise}=T_{fall}=1\text{ns}$, mentre a $C_l=C_{lo}=50\text{pF}$ si avrebbe $T_{rise}=T_{fall}=3\text{ns}$

$$T_{phl,typ}=T_{plh,typ}=8\text{ns}-1,5\text{ns}+0,5\text{ns}=7\text{ns}$$

La dissipazione di potenza dinamica è pari a $V_p^2 \cdot f \cdot (C_l + C_{pd}) = V_p^2 \cdot f \cdot C_{pd} = 5\text{mW}$

Nel caso di 10 carichi, $T_{rise}=T_{fall}=5\text{ns}$ e quindi $T_{phl,typ}=T_{plh,typ}=8\text{ns}-1,5\text{ns}+2,5\text{ns}=9\text{ns}$

I tempi massimi si ricalcolano in proporzione $T_{phl,max}=T_{plh,max}=9 \cdot 10/8\text{ ns} = 11,25\text{ns}$

La frequenza assegnata, pari a 10MHz, è compatibile con la massima frequenza, pari a $1/(T_{phl,max} + T_{plh,max}) = 44\text{MHz}$.

La dissipazione di potenza dinamica è pari a $V_p^2 \cdot f \cdot (C_l + C_{pd}) = 25 \cdot 10\text{MHz} \cdot (120\text{pF}) = 30\text{mW}$

Nel caso di 100 carichi, $T_{rise}=T_{fall}=4\text{ns}$ e quindi $T_{phl,typ}=T_{plh,typ}=8\text{ns}-1,5\text{ns}+20,5\text{ns}=27\text{ns}$

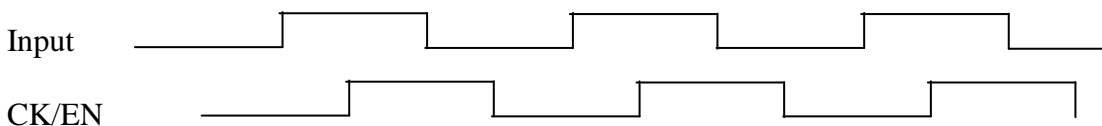
I tempi massimi si ricalcolano in proporzione $T_{phl,max}=T_{plh,max}=27 \cdot 10/8\text{ ns} = 33,75\text{ns}$. Si osservi che il segnale permane nella zona di incertezza per ben oltre 8ns, quindi potrebbe reagire, anche mettendosi a oscillare, senza quindi garantire il corretto funzionamento del dispositivo.

La frequenza assegnata, pari a 10MHz, è compatibile con la massima frequenza, pari a $1/(T_{phl,max} + T_{plh,max}) = 15\text{MHz}$.

La dissipazione di potenza dinamica è pari a $V_p^2 \cdot f \cdot (C_l + C_{pd}) = 25 \cdot 10\text{MHz} \cdot (1020\text{pF}) = 255\text{mW}$

Problema

Si descrivano brevemente le funzionalità di latch e flip-flop, anche indicando graficamente la risposta ai seguenti segnali e motivando se vi sono condizioni di meta stabilità (2 punti)

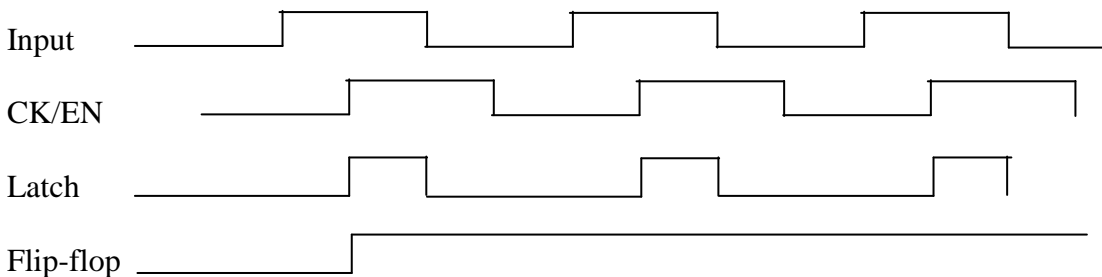


Soluzione

Un latch è l'elemento base di memoria che, se la linea di Enable è attiva, riporta in uscita il valore di ingresso, come un buffer; se invece la linea di Enable è inattiva, allora il dispositivo mantiene inalterato il valore dell'uscita.

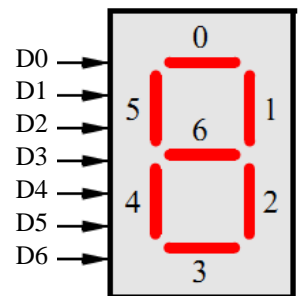
Il flip-flop è invece un latch con un segnale di Enable estremamente stretto che in pratica campiona l'ingresso solo in corrispondenza di questa finestra molto stretta. La finestra, la cui durata è pari alla somma tra il tempo di hold e il tempo di set-up, è normalmente progettata per agire in corrispondenza del fronte di salita del clock.

Con riferimento al grafico in figura si ha:

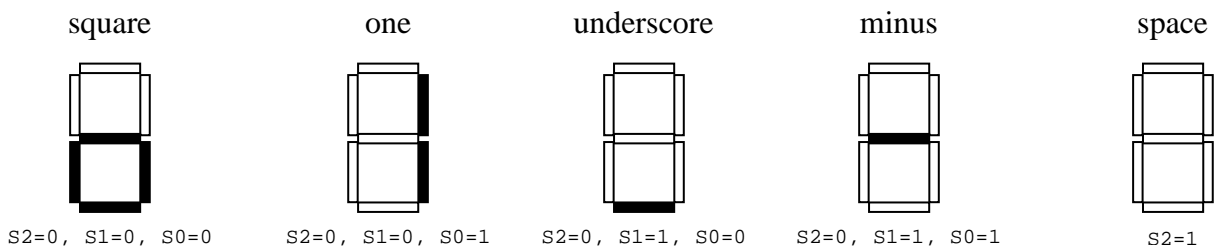


Problema

1) Un display a sette segmenti è un dispositivo composto da 7 led di forma allungata, ognuno dei quali pilotato da un opportuno segnale digitale, disposti in modo tale da poter rappresentare determinati caratteri. Di seguito è mostrato uno schema di un led a sette segmenti con la disposizione dei led ed i relativi ingressi di controllo (es. D0 è connesso al segmento 0).



Si realizzi mediante linguaggio booleano per una GAL22V10 un decoder per il display a 7 segmenti di cui sopra che permette la visualizzazione di cinque diversi caratteri, mostrati di seguito, a seconda del valore impostato sui tre ingressi di selezione S2, S1, S0. Si consideri un display a catodo comune (accensione del led con il relativo ingresso a '1'). (1 punto)



- 2) Si realizzi il decoder del punto precedente in linguaggio VHDL. (1 punto)
- 3) Si modifichi il programma del punto precedente in modo tale da rendere il decoder adatto a funzionare anche con display ad anodo comune (accensione del led con il relativo ingresso a '0'), mediante un ingresso aggiuntivo T di selezione tipologia display (T='0' → anodo comune; T='1' → catodo comune) (1 punto)

Soluzione

1) Solo 5 dei 7 led del display sono coinvolti nella rappresentazione dei simboli richiesti, quindi sarà necessario ricavare le equazioni booleane solo per D1, D2, D3, D4 e D6. Gli altri ingressi dovranno essere mantenuti al valore logico '0'. La tabella della verità e le equazioni booleane che descrivono il decoder richiesto sono riportati di seguito.

S2	S1	S0	D1	D2	D3	D4	D6
----	----	----	----	----	----	----	----

0	0	0	0	1	1	1	1
0	0	1	1	1	0	0	0
0	1	0	0	0	1	0	0
0	1	1	0	0	0	0	1
1	X	X	0	0	0	0	0

$D0 = \text{gnd}$
 $D1 = \neg S2 \wedge \neg S1 \wedge S0$
 $D2 = \neg S2 \wedge \neg S1 \wedge \neg S0 + \neg S2 \wedge S1 \wedge S0$
 $D3 = \neg S2 \wedge \neg S1 \wedge \neg S0 + \neg S2 \wedge S1 \wedge \neg S0$
 $D4 = \neg S2 \wedge \neg S1 \wedge S0$
 $D5 = \text{gnd}$
 $D6 = \neg S2 \wedge \neg S1 \wedge \neg S0 + \neg S2 \wedge S1 \wedge S0$

Il programma della GAL sarebbe:

nc	S2	S1	S0	nc	nc	nc	nc	nc	nc	nc	nc	gnd
nc	D0	D1	D2	D3	D4	D5	D6	nc	nc	nc	nc	Vdd

$D0 = \text{gnd}$
 $D1 = \neg S2 \wedge \neg S1 \wedge S0$
 $D2 = \neg S2 \wedge \neg S1 \wedge \neg S0 + \neg S2 \wedge S1 \wedge S0$
 $D3 = \neg S2 \wedge \neg S1 \wedge \neg S0 + \neg S2 \wedge S1 \wedge \neg S0$
 $D4 = \neg S2 \wedge \neg S1 \wedge S0$
 $D5 = \text{gnd}$
 $D6 = \neg S2 \wedge \neg S1 \wedge \neg S0 + \neg S2 \wedge S1 \wedge S0$

$D0.\text{oe} = \text{Vdd}$
 $D1.\text{oe} = \text{Vdd}$
 $D2.\text{oe} = \text{Vdd}$
 $D3.\text{oe} = \text{Vdd}$
 $D4.\text{oe} = \text{Vdd}$
 $D5.\text{oe} = \text{Vdd}$
 $D6.\text{oe} = \text{Vdd}$

2) In linguaggio VHDL, i vettori consentono di gestire in modo ottimale gruppi omogenei di bit, come ad esempio la parola composta dai bit D0 – D7 in ingresso al display a sette segmenti. Un'implementazione in VHDL del decoder in oggetto è illustrata di seguito.

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY dec7seg IS
    PORT ( S: IN std_logic_vector(2 DOWNTO 0);
          D: OUT std_logic_vector(0 TO 6));
END dec7seg;

ARCHITECTURE archdec7seg OF dec7seg IS

    CONSTANT square: std_logic_vector(0 TO 6):="0011101";
    CONSTANT one: std_logic_vector(0 TO 6):="0110000";
    CONSTANT underscore: std_logic_vector(0 TO 6):="0001000";
    CONSTANT minus: std_logic_vector(0 TO 6):="0000001";
    CONSTANT space: std_logic_vector(0 TO 6):="0000000";

BEGIN

    PROCESS (S)
    BEGIN

        CASE S IS

```

```

                WHEN "000" => D <= square;
                WHEN "001" => D <= one;
                WHEN "010" => D <= underscore;
                WHEN "011" => D <= minus;
                WHEN OTHERS => D <= space;
            END CASE;

        END PROCESS;

END archdec7seg;

```

3) Per passare da display a catodo comune ad anodo comune, è sufficiente negare il valore di ciascuna uscita del decoder; sfruttando l'ingresso di selezione tipologia T, questo può essere facilmente ottenuto in VHDL con il programma mostrato di seguito.

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY dec7seg IS
    PORT ( S: IN std_logic_vector(2 DOWNTO 0);
          T: IN std_logic;
          D: OUT std_logic_vector(0 TO 6));
END dec7seg;

ARCHITECTURE archdec7seg OF dec7seg IS

    CONSTANT square: std_logic_vector(0 TO 6):="0011101";
    CONSTANT one: std_logic_vector(0 TO 6):="0110000";
    CONSTANT underscore: std_logic_vector(0 TO 6):="0001000";
    CONSTANT minus: std_logic_vector(0 TO 6):="0000001";
    CONSTANT space: std_logic_vector(0 TO 6):="0000000";

    SIGNAL D_temp: std_logic_vector(0 TO 6);

BEGIN

    PROCESS (S)
    BEGIN

        CASE S IS
            WHEN "000" => D_temp <= square;
            WHEN "001" => D_temp <= one;
            WHEN "010" => D_temp <= underscore;
            WHEN "011" => D_temp <= minus;
            WHEN OTHERS => D_temp <= space;
        END CASE;

    END PROCESS;

    D <= D_temp WHEN T = '1' ELSE NOT D_temp;

END archdec7seg;

```