

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 17/6/2016

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti
Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome _____ Nome _____ Mat. _____ Data __/__/__

- 1) Se $V_{ol,min}=0V$ e $V_{ol,max}>V_{il}$ allora ...
 - ()a l'uscita a vuoto a livello 0 potrebbe non essere interpretata come 0
 - ()b l'uscita a pieno carico (I_{ol}) a livello 0 potrebbe non essere interpretata come 0
 - ()c l'immunità al rumore a livello 0 consente un corretto interfacciamento

- 2) I dispositivi Schmidt Trigger...
 - ()a sono costituiti da due buffer in antiparallelo
 - ()b sono più veloci delle normali porte logiche
 - ()c hanno un'uscita predicibile anche con ingresso V_{in} in zona di incertezza ($V_{il}<V_{in}<V_{ih}$)

- 3) La tecnologia ...ha un ampio range di tensione di alimentazione e soffre del problema ESD.
 - ()a RTL
 - ()b TTL
 - ()c CMOS

- 4) Un contatore sincrono....
 - ()a ha il reset sincrono
 - ()b ha uno stadio di sincronizzazione per compensare il disallineamento delle uscite
 - ()c ha tutti i flip-flop con il clock collegato insieme

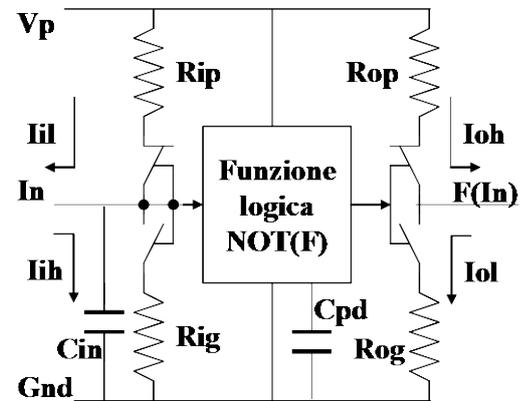
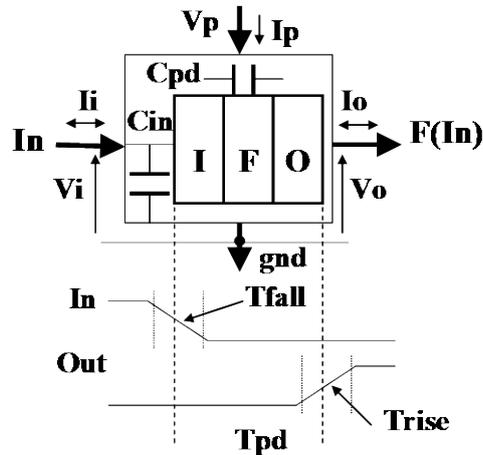
- 5) Un convertitore A/D a N bit
 - ()a ha un rapporto segnale rumore di circa $6N$ dB
 - ()b ha un ENOB pari a N
 - ()c ha un'uscita numerica variabile tra 0 e N

- 6) Una cella di memoria RAM statica a 1 bit è costituita da
 - ()a un flip-flop di tipo D e un buffer 3-state
 - ()b un interruttore e un condensatore
 - ()c un NMOS speciale con gate aggiuntivo flottante

- 7) Un dispositivo FPGA...
 - ()a implementa solo forme canoniche
 - ()b ha un ritardo di propagazione costante tra qualunque ingresso e qualunque uscita
 - ()c è il dispositivo logico programmabile più versatile

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 17/6/2016 (1h 40 minuti)

Problema



Dato il modello rappresentato in figura, descrivere le relazioni tra correnti e tensioni in ingresso e in uscita a livello 1 e a livello 0. (1 punto)

Definire il FANOUT statico e il FANOUT dinamico e indicare, motivando, se siano maggiori le resistenze di ingresso o le resistenze di uscita. (1 punto)

Problema

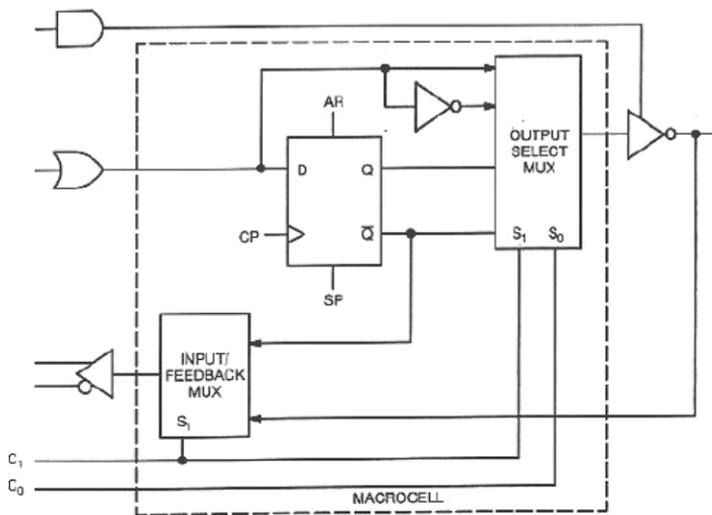
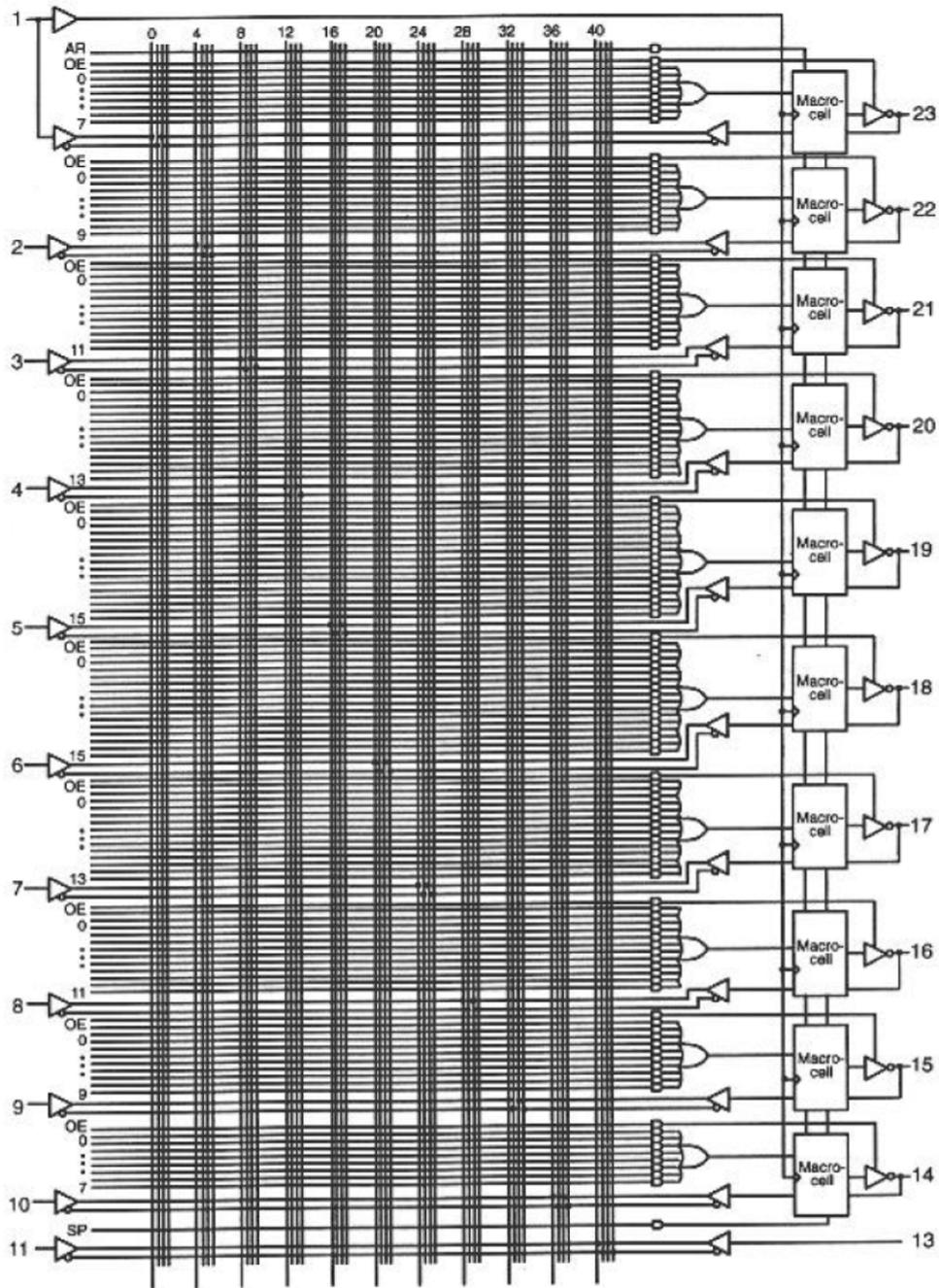
Dato i livelli di TTL (74ALSXX) e CMOS (74ACXX) indicati, discutere tutti i possibili modi di interfacciamento statico (immunità al rumore FAN-OUT), proponendo e calcolando soluzioni nel caso di problemi (2 punti)

Parametro	TTL			CMOS	
	74XX	74LSXX	74ALSXX	74ACXX	74HCTXX
Iih(max)	40μA	20μA	20μA	1μA	1μA
Iil(max)	1.6mA	400μA	100μA	1μA	1μA
Ioh(max)	400μA	400μA	400μA	4mA	4mA
Iol(max)	16mA	8mA	8mA	4mA	4mA
Vih(min)	2.0V	2.0V	2.0V	3.5V	2.0V
Vil(max)	0.8V	0.8V	0.8V	1.5V	0.8V
Voh(min)	2.4V	2.7V	2.5V	4.9V	4.9V
Vol(max)	0.4V	0.5V	0.5V	0.1V	0.1V

Nel caso di dispositivo TTL open-collector (si ignorino i valori Voh e Ioh) che pilota 5 dispositivi TTL si dimensiona la resistenza di pull-up (1 punto)

Problema

- 1) Si realizzi mediante linguaggio booleano per una GAL22V10 un multiplexer 4 a 1 con parole a 2 bit in ingresso. (1 punto)
- 2) Si realizzi il multiplexer del punto precedente in linguaggio VHDL. (1 punto)
- 3) Si modifichi il programma del punto 2) per rendere il multiplexer adatto ad essere utilizzato come componente facilmente configurabile dall'utente per quanto riguarda la dimensione in bit delle parole di ingresso. (1 punto)



SOLUZIONI

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE

Appello d'esame del 17/6/2016

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti

Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome _____ Nome _____ Mat. _____ Data __/__/__

1) Se $V_{ol,min}=0V$, $V_{ol,max}>V_{il}$ allora ...

- (a) l'uscita a vuoto a livello 0 potrebbe non essere interpretata come 0
- (b) l'uscita a pieno carico (I_{ol}) a livello 0 potrebbe non essere interpretata come 0
- (c) l'immunità al rumore a livello 0 consente un corretto interfacciamento

B

2) I dispositivi Schmidt Trigger...

- (a) sono costituiti da due buffer in antiparallelo
- (b) sono più veloci delle normali porte logiche
- (c) hanno un'uscita predicibile anche con ingresso V_{in} in zona di incertezza ($V_{il}<V_{in}<V_{ih}$)

C

3) La tecnologia ...ha un ampio range di tensione di alimentazione e soffre del problema ESD.

- (a) RTL
- (b) TTL
- (c) CMOS

C

4) Un contatore sincrono....

- (a) ha il reset sincrono
- (b) ha uno stadio di sincronizzazione per compensare il disallineamento delle uscite
- (c) ha tutti i flip-flop con il clock collegato insieme

C

5) Un convertitore A/D a N bit

- (a) ha un rapporto segnale rumore di circa $6N$ dB
- (b) ha un ENOB pari a N
- (c) ha un'uscita numerica variabile tra 0 e N

A

6) Una cella di memoria RAM statica a 1 bit è costituita da

- (a) un flip-flop di tipo D e un buffer 3-state
- (b) un interruttore e un condensatore
- (c) un NMOS speciale con gate aggiuntivo flottante

A

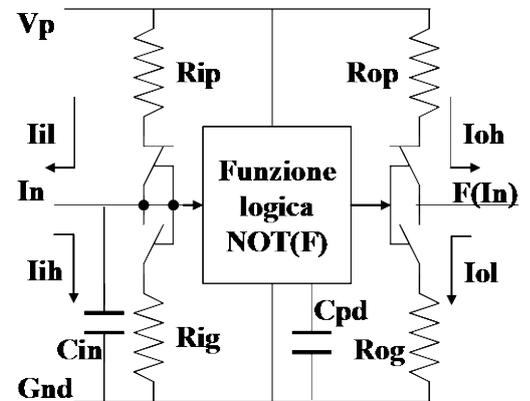
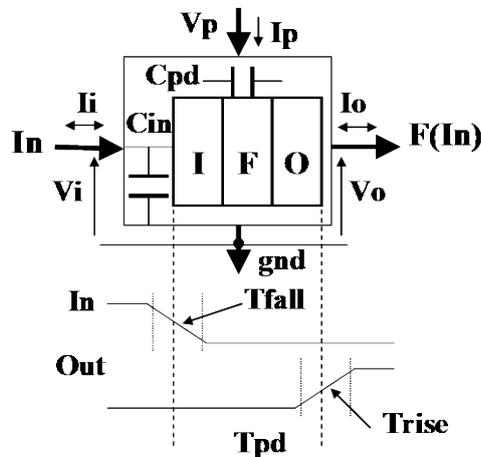
7) Un dispositivo FPGA...

- (a) implementa solo forme canoniche
- (b) ha un ritardo di propagazione costante tra qualunque ingresso e qualunque uscita
- (c) è il dispositivo logico programmabile più versatile

C

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 17/6/2016

Problema



Dato il modello rappresentato in figura, descrivere le relazioni tra correnti e tensioni in ingresso e in uscita a livello 1 e a livello 0. (1 punto)
 Definire il FANOUT statico e il FANOUT dinamico e indicare, motivando, le relazioni tra resistenze di ingresso e resistenze di uscita. (1 punto)

Soluzione

$I_{il} = (V_p - V_{il})/R_{ip}$ $I_{ih} = V_{ih}/R_{ig}$ $I_{oh} = (V_p - V_{oh})/R_{op}$ $I_{ol} = V_{ol}/R_{og}$
 Il FANOUT statico è $= \min (I_{oh}/I_{ih}, I_{ol}/I_{il})$ e rappresenta la capacità di pilotaggio di dispositivi elettronici verso altri dispositivi elettronici, ossia il numero massimo di carichi. Se un dispositivo pilota un numero di carichi superiore al FANOUT non è garantito il corretto funzionamento.
 Il FANOUT dinamico è $= \min (C_{lo}/C_l)$, dove C_{lo} è la massima capacità di carico per la quale sono garantite le prestazioni dinamiche dichiarate; rappresenta il massimo numero di carichi che è possibile pilotare senza degrado delle prestazioni.
 A causa del FANOUT statico, si deve avere $I_{ol} \gg I_{il}$, quindi $R_{og} \ll R_{ip}$ e, analogamente, $R_{op} \ll R_{ig}$.
 Se ne conclude che le resistenze di ingresso R_{ip} e R_{ig} sono maggiori delle resistenze R_{op} e R_{og} .

Problema

Dato i livelli di TTL (74ALSXX) e CMOS (74ACXX) indicati, discutere tutti i possibili modi di interfacciamento statico (immunità al rumore FAN-OUT), proponendo e calcolando soluzioni nel caso di problemi (2 punti)

Parametro	TTL			CMOS	
	74XX	74LSXX	74ALSXX	74ACXX	74HCTXX
Iih(max)	40µA	20µA	20µA	1µA	1µA
Iil(max)	1.6mA	400µA	100µA	1µA	1µA
Ioh(max)	400µA	400µA	400µA	4mA	4mA
Iol(max)	16mA	8mA	8mA	4mA	4mA
Vih(min)	2.0V	2.0V	2.0V	3.5V	2.0V
Vil(max)	0.8V	0.8V	0.8V	1.5V	0.8V
Voh(min)	2.4V	2.7V	2.5V	4.9V	4.9V
Vol(max)	0.4V	0.5V	0.5V	0.1V	0.1V

Nel caso di dispositivo TTL open-collector (si ignorino i valori V_{oh} e I_{oh}) che pilota 5 dispositivi TTL si dimensiona la resistenza di pull-up (1 punto)

CMOS -> TTL

FANOUT = $\min (I_{ohCMOS}/I_{ihTTL} \ I_{olCMOS}/I_{ilTTL}) = \min (4mA/20uA \ 4mA/100uA) = 40 > 1$
Immunità al rumore = $\min (V_{ohCMOS}-V_{ihTTL}, V_{ilTTL}-V_{olCMOS}) = \min (4,9-2,0 \ 0,8-0,1) = 0,7$
Dato che FANOUT > 1 e Immunità al rumore > 0,1V l'interfacciamento è possibile

TTL -> CMOS

FANOUT = $\min (I_{ohTTL}/I_{ihCMOS} \ I_{olTTL}/I_{ilCMOS}) = \min (0,4mA/1uA \ 8mA/1uA) = 400 > 1$
Immunità al rumore = $\min (V_{ohTTL}-V_{ihCMOS}, V_{ilCMOS}-V_{olTTL}) = \min (2,5-3,5 \ 1,5-0,5) = -1$
Non vi sono problemi di FANOUT ma vi sono problemi di interfacciamento al rumore a livello 1.
Il problema può essere risolto mediante una resistenza di pullup R. Nel caso di dispositivo TTL che pilota N dispositivi CMOS con immunità al rumore dV si avrebbe:

“1” $(V_p - V_{ih} - dV)/R_p > N \cdot I_{ih}$ $R_p < (V_p - V_{ih} - dV)/(N \cdot I_{ih})$
“0” $N \cdot I_{il} + (V_p - V_{ol})/R_p < I_{ol}$ $R_p > (V_p - V_{ol})/(I_{ol} - N \cdot I_{il})$

Nel caso di dispositivo TTL open collector che ne pilota 5 (N=5) si avrebbe (si ipotizza immunità al rumore pari a 0,1):

$R_p < (5-2-0,1)/5 \cdot 20uA = 29 \text{ kOhm}$
 $R_p > (5-0,5)/(8mA-5 \cdot 100uA) = 600 \text{ Ohm}$

Problema

- 1) Si realizzi mediante linguaggio booleano per una GAL22V10 un multiplexer 4 a 1 con parole a 2 bit in ingresso. (1 punto)
- 2) Si realizzi il multiplexer del punto precedente in linguaggio VHDL. (1 punto)
- 3) Si modifichi il programma del punto 2) per rendere il multiplexer adatto ad essere utilizzato come componente facilmente configurabile dall'utente per quanto riguarda la dimensione in bit delle parole di ingresso. (1 punto)

Soluzione

1) Il multiplexer è un circuito combinatorio dotato di un certo numero di ingressi “di segnale” e di un adeguato numero di ingressi “di selezione”; a seconda della combinazione presente sugli ingressi di selezione, uno solo dei suoi ingressi di segnale (quello selezionato) è copiato sull'unica uscita del multiplexer. Se gli ingressi di segnale non sono a singolo bit ma sono parole di più bit, allora ogni singolo bit della parola selezionata è copiato sul corrispondente bit dell'unica parola di uscita. Essendo il multiplexer da realizzare a 4 ingressi, sono necessari due ingressi di selezione, S1 ed S0, per poterli univocamente identificare. Gli ingressi dati sono i due bit di ciascuna delle 4 parole di ingresso, ossia A1 e A0, B1 e B0, C1 e C0, D1 e D0, mentre la parola di uscita è costituita dai due bit Y1 e Y0.

La tabella della verità semplificata e le equazioni booleane che descrivono il circuito sono riportati di seguito.

S1	S0	Y1	Y0
0	0	A1	A0
0	1	B1	B0
1	0	C1	C0
1	1	D1	D0

$Y1 = !S1 \& !S0 \& A1 + !S1 \& S0 \& B1 + S1 \& !S0 \& C1 + S1 \& S0 \& D1$
 $Y0 = !S1 \& !S0 \& A0 + !S1 \& S0 \& B0 + S1 \& !S0 \& C0 + S1 \& S0 \& D0$

Il programma della GAL sarebbe:

nc	A1	A0	B1	B0	C1	C0	D1	D0	S1	S0	gnd
nc	Y1	Y0	nc	Vdd							

$$Y1 = !S1 \& !S0 \& A1 + !S1 \& S0 \& B1 + S1 \& !S0 \& C1 + S1 \& S0 \& D1$$

$$Y0 = !S1 \& !S0 \& A0 + !S1 \& S0 \& B0 + S1 \& !S0 \& C0 + S1 \& S0 \& D0$$

Y1.oe = Vdd

Y0.oe = Vdd

2) In linguaggio VHDL, la gestione delle parole composte da più bit è estremamente semplice, utilizzando il concetto di vettore. Un'implementazione in VHDL del multiplexer in oggetto è illustrata di seguito.

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY mux4to1 IS
    PORT ( A, B, C, D: IN std_logic_vector(1 DOWNTO 0);
          S: IN std_logic_vector(1 DOWNTO 0);
          Y: OUT std_logic_vector(1 DOWNTO 0));
END mux4to1;

ARCHITECTURE archmux4to1 OF mux4to1 IS
BEGIN

    PROCESS (A, B, C, D, S)
    BEGIN

        CASE S IS
            WHEN "00" => Y <= A;
            WHEN "01" => Y <= B;
            WHEN "10" => Y <= C;
            WHEN OTHERS => Y <= D;
        END CASE;

    END PROCESS;

END archmux4to1;

```

3) Per rendere il programma appena realizzato più versatile e configurabile dall'utente per ciò che riguarda la dimensione delle parole di ingresso, è possibile utilizzare l'attributo GENERIC, come nel programma di seguito.

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY mux4to1 IS
    GENERIC (N: integer:=2);
    PORT ( A, B, C, D: IN std_logic_vector(N-1 DOWNTO 0);
          S: IN std_logic_vector(1 DOWNTO 0);
          Y: OUT std_logic_vector(N-1 DOWNTO 0));
END mux4to1;

ARCHITECTURE archmux4to1 OF mux4to1 IS
BEGIN

    PROCESS (A, B, C, D, S)
    BEGIN

        CASE S IS
            WHEN "00" => Y <= A;
            WHEN "01" => Y <= B;
            WHEN "10" => Y <= C;
            WHEN OTHERS => Y <= D;
        END CASE;

    END PROCESS;

END archmux4to1;

```