

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 31/3/2016

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti
Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome _____ Nome _____ Matr. _____ Data ___/___/___

- 1) ...è la tensione in uscita quando la corrente è I_{ol}
 a $V_{ol,max}$ b $V_{oh,max}$ c $V_{oh, min}$
- 2) Se applico in ingresso un segnale compreso tra V_{il} e V_{ih} , l'uscita si porta ad un valore ...
 a imprevedibile b metastabile c compreso tra V_{ol} e V_{oh}
- 3) La famiglia logica DTL, rispetto alla RTL....
 a modifica sostanzialmente l'architettura dello stadio di ingresso
 b modifica sostanzialmente l'architettura dello stadio di uscita
 c modifica il tipo di transistor utilizzato (FET invece di BJT)
- 4) La metastabilità si può presentare se si violano le condizioni di set-up ...
 a in un contatore
 b in un moltiplicatore
 c in una porta logica realizzata in tecnologia LSTTL
- 5) Un flipflop di tipo D
 a commuta l'uscita ad ogni impulso in ingresso
 b ha un ritardo di propagazione da ingresso a uscita espresso come T_{phl} o T_{plh}
 c campiona l'ingresso sul fronte di salita del clock
- 6) Il rumore di quantizzazione di un convertitore A/D a N bit porta ad un rapporto segnale-rumore (SNR) circa pari a:
 a 2^N b $6N$ c $2N$
- 7) Un dispositivo GAL...
 a riprende l'architettura base delle PLE
 b ha le matrici di OR e di AND interamente programmabili
 c è realizzato in tecnologia EEPROM CMOS

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 31/3/2016 (1h 40 minuti)

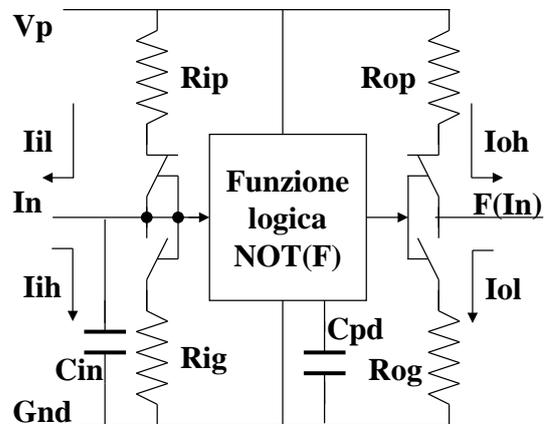
Problema

Un dispositivo con il modello indicato in figura ne pilota 4 uguali.

Nel caso in cui $V_p=3.3V$, $I_l=1nA$, $C_{pd}=20pF$ e $C_{in}=10pF$, e $T_{phl}=T_{plh}=10ns$ ($@C_l=50pF$, $V_p=3.3V$, $T=20^\circ C$), si calcoli il FANOUTd residuo, qual è circa la massima frequenza di funzionamento e il relativo consumo. (1 punto)

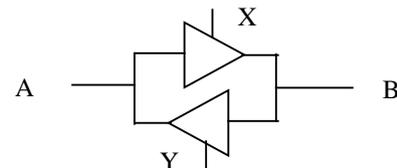
Cosa cambia se connesso al pilota ulteriori 6 dispositivi uguali? (1 punto)

Cosa cambia se connesso al pilota ulteriori 40 dispositivi (tot. 50) uguali? (1 punto)



Problema

Si illustrino le funzionalità e il comportamento del dispositivo disegnato a lato, evidenziando eventuali configurazioni non ammesse (2 punti)

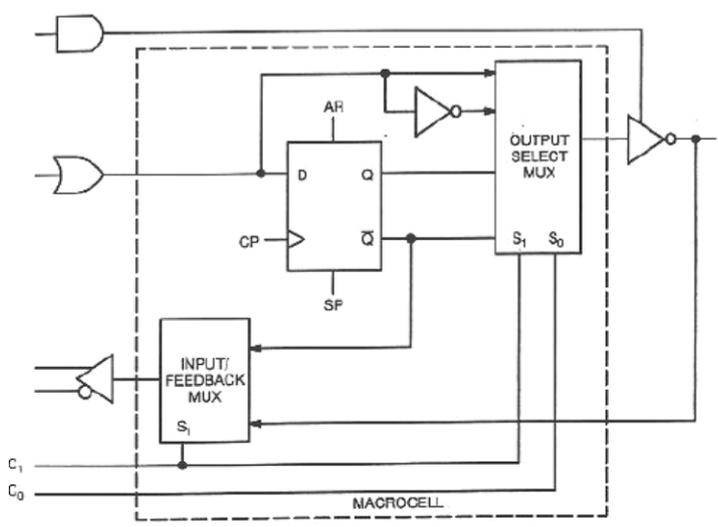
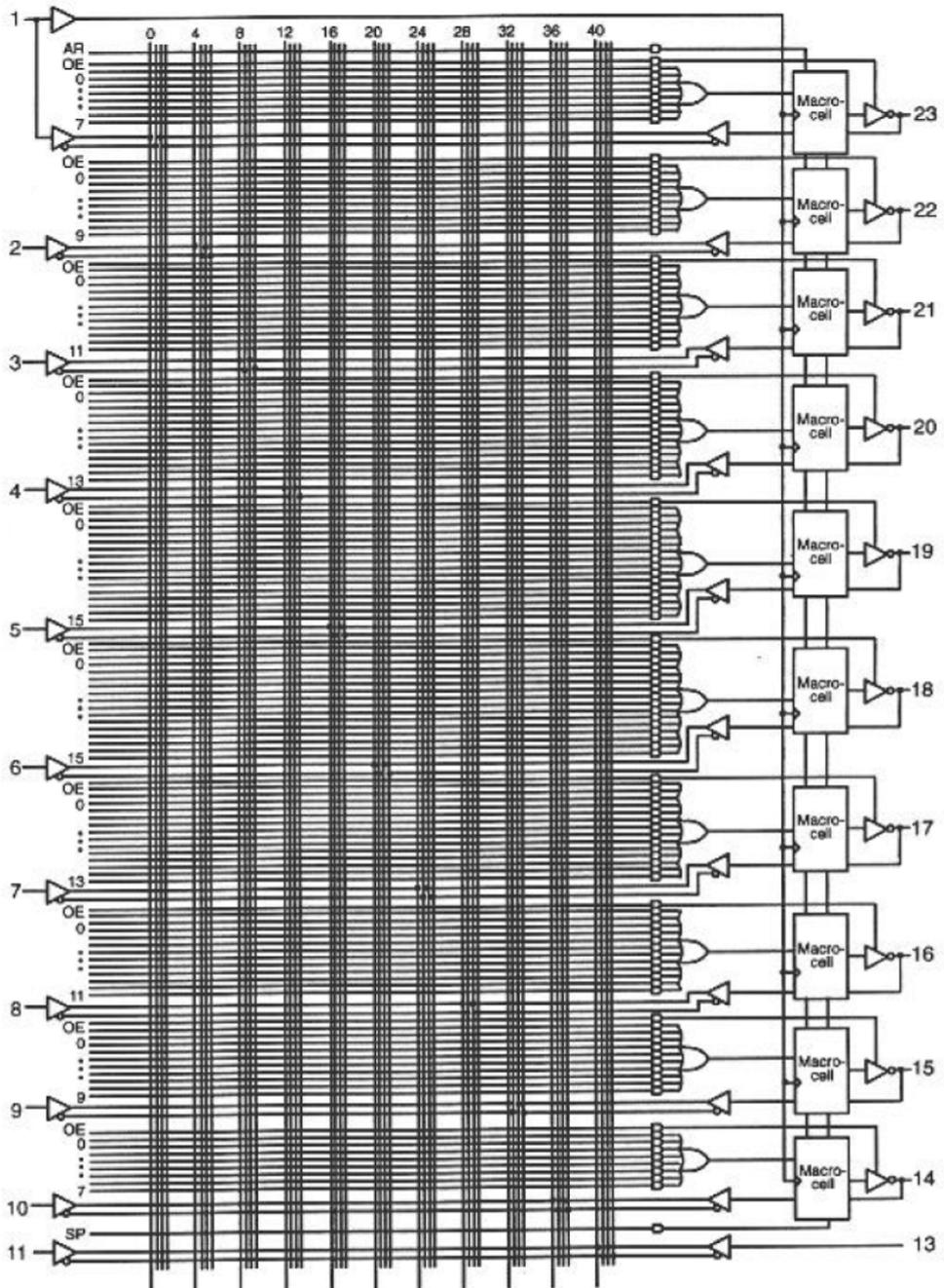


Problema

1) Si definisca il moltiplicatore a 4 bit illustrando le possibilità di connessione per la realizzazione di moltiplicatori a byte. (1 punto)

Si sviluppi il programma in linguaggio booleano per una GAL22V10 considerando parole a 2 bit (1 punto)

3) ...e il programma VHDL (1 punto)



SOLUZIONI, Appello di Elettronica Generale, FED, 31/3/2016

1) ...è la tensione in uscita quando la corrente è I_{ol}

- a $V_{ol,max}$ b $V_{oh,max}$ c $V_{oh, min}$

a

2) Se applico in ingresso un segnale compreso tra V_{il} e V_{ih} , l'uscita si porta ad un valore ...

- a imprevedibile b metastabile c compreso tra V_{ol} e V_{oh}

a

3) La famiglia logica DTL, rispetto alla RTL....

- a modifica sostanzialmente l'architettura dello stadio di ingresso
 b modifica sostanzialmente l'architettura dello stadio di uscita
 c modifica il tipo di transistor utilizzato (FET invece di BJT)

a

4) La metastabilità si può presentare se si violano le condizioni di set-up ...

- a in un contatore
 b in un moltiplicatore
 c in una porta logica realizzata in tecnologia LSTTL

a

5) Un flipflop di tipo D

- a commuta l'uscita ad ogni impulso in ingresso
 b ha un ritardo di propagazione da ingresso a uscita espresso come T_{phl} o T_{plh}
 c campiona l'ingresso sul fronte di salita del clock

c

6) Il rumore di quantizzazione di un convertitore A/D a N bit porta ad un rapporto segnale-rumore (SNR) circa pari a:

- a 2^N b $6N$ c $2N$

b

7) Un dispositivo GAL...

- a riprende l'architettura base delle PLE
 b ha la matrici di OR e di AND interamente programmabili
 c è realizzato in tecnologia EEPROM CMOS

c

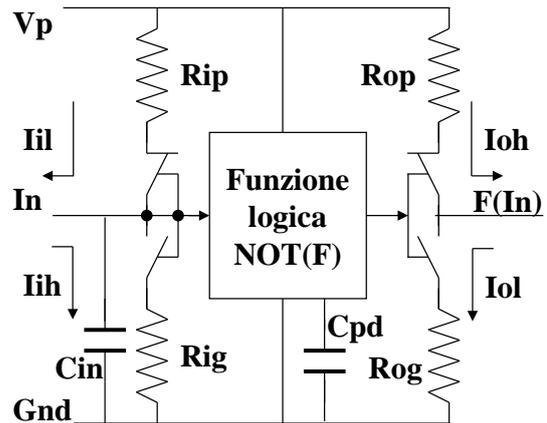
Problema

Un dispositivo con il modello indicato in figura ne pilota 4 uguali.

Nel caso in cui $V_p=3.3V$, $I_l=1nA$, $C_{pd}=20pF$ e $C_{in}=10pF$, e $T_{phl}=T_{plh}=10ns$ ($@C_l=50pF$, $V_p=3.3V$, $T=20^\circ C$), si calcoli il FANOUTd residuo, qual è circa la massima frequenza di funzionamento e il relativo consumo. (1 punto)

Cosa cambia se connesso al pilota ulteriori 6 dispositivi uguali? (1 punto)

Cosa cambia se connesso al pilota ulteriori 40 dispositivi (tot. 50) uguali? (1 punto)



Soluzione

$FANOUTd = C_{lo}/C_{in} = 5$, tuttavia, dato che $N=4$ dispositivi sono già presenti, il FANOUTd residuo è 1. Dato che il FANOUTd è rispettato, $T_{phl} = T_{plh} = 10ns$ e $F_{max} \sim 1/(T_{phl}+T_{plh}) = 50MHz$.

La dissipazione di potenza è interamente dinamica (dissipazione statica = $3.3nW$) ed è pari a $V_p^2 \cdot f \cdot (C_l + C_{pd}) = V_p^2 \cdot f \cdot (N \cdot C_{in} + C_{pd}) = 544,5M(40pF+20pF) = 32,67mW$

Nel caso di ulteriori 6 dispositivi si viola FANOUTd e si devono ricalcolare T_{phl} e T_{plh} (non disponendo delle leggi di Trise e Tfall si suppone un contributo al 50%)

$T_{phl}=T_{plh}=5ns+(5ns \cdot 100pF/50pF)=15ns$ da cui $F_{max} \sim 33MHz$

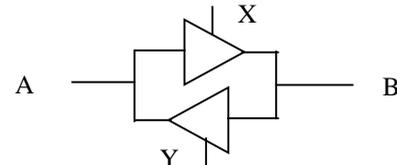
La potenza dinamica diventa $359,4M(100pF+20pF) = 43,12mW$

Nel caso di ulteriori 40 carichi (tot. 50 carichi), si avrebbe

$T_{phl}=T_{plh}=5ns+(5ns \cdot 500pF/50pF)=55ns \gg 10ns$ ossia i fronti di salita e di discesa sarebbero così lenti che il dispositivo ricevitore avrebbe il tempo di reagire alla zona di incertezza ($V_{il} < V_{in} < V_{ih}$) assumendo quindi un comportamento in uscita imprevedibile.

Problema

Si illustrino le funzionalità e il comportamento del dispositivo disegnato a lato, evidenziando eventuali configurazioni non ammesse (2 punti)



Soluzione

Il dispositivo in figura è un transceiver e viene utilizzato per interfacciare su bus multiutente un dispositivo bidirezionale, come ad esempio il bus dati di una memoria RAM.

Il dispositivo consta di due buffer three state connessi in antiparallelo e il funzionamento segue la tabella sotto riportata, che evidenzia il comportamento non ammesso caratterizzato da $X=Y=1$

X	Y	Flusso dati
0	0	A e B isolati
0	1	Flusso abilitato da B verso A
1	0	Flusso abilitato da A verso B
1	1	Configurazione non ammessa

Per evitare l'abilitazione accidentale della configurazione non ammessa, i dispositivi reali mettono a disposizione dell'utente i terminali A, B, En (input), Dir (input), dove

$X = En \& Dir$ $Y = En \& !Dir$

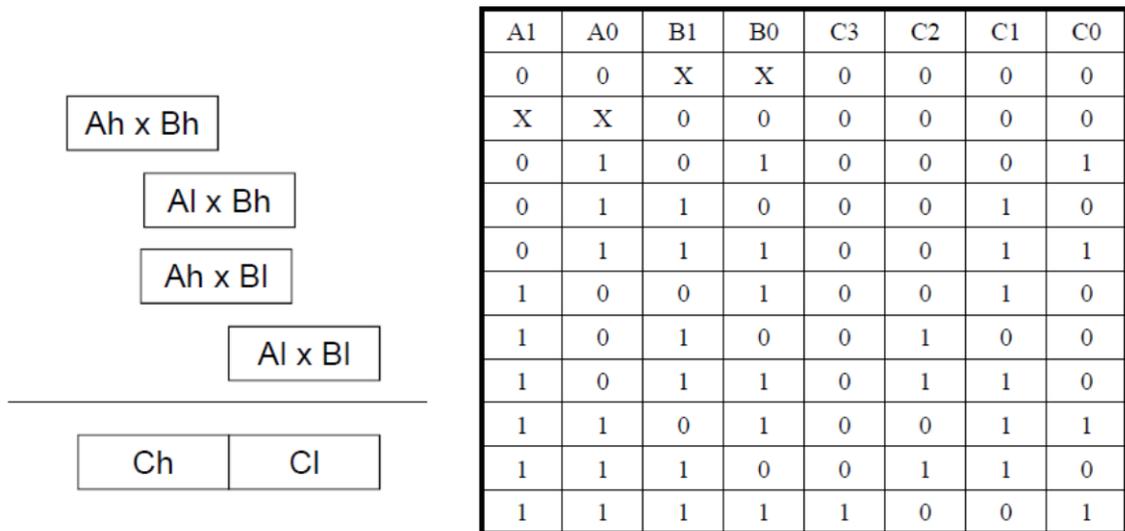
Problema

1) Si definisca il moltiplicatore a 4 bit illustrando le possibilità di connessione per la realizzazione di moltiplicatori a byte. (1 punto)

Si sviluppi il programma in linguaggio booleano per una GAL22V10 considerando parole a 2 bit (1 punto)

3) ...e il programma VHDL (1 punto)

Un moltiplicatore a 4 bit è un dispositivo a logica combinatoria con 8 ingressi (A0, A1, A2, A3, B0, B1, B2, B3) e 8 uscite (C0-C7). Nel caso di moltiplicatori a byte, per una realizzazione hardware servirebbero 4 moltiplicatori a 4 byte almeno due sommatori, uno a byte (Somma di AlxBh e AhxBI) e uno a word (somma del risultato della somma Somma di AlxBh e AhxBI e della concatenazione di AhxBh con AlxBI) per cui normalmente si realizza mediante microcodice. La tabella della verità di un moltiplicatore a due bit è riportata di seguito



Le equazioni risultano essere:

$C0 = A0 \& B0$

$C1 = !A1 \& A0 \& B1 + A1 \& !A0 \& B0 + A1 \& !B1 \& B0 + A0 \& B1 \& !B0$

$C2 = A1 \& !A0 \& B1 + A1 \& B1 \& !B0$

$C3 = A1 \& A0 \& B1 \& B0$

Il programma della GAL sarebbe:

```
nc    A1    A0    B1    B0    nc    nc    nc    nc    nc    nc    gnd
nc    nc    nc    nc    C0    C1    C2    C3    nc    nc    nc    Vdd
```

$C0 = A0 \& B0$

$C0.oe = Vdd$

$C1 = !A1 \& A0 \& B1 + A1 \& !A0 \& B0 + A1 \& !B1 \& B0 + A0 \& B1 \& !B0$

$C1.oe = Vdd$

$C2 = A1 \& !A0 \& B1 + A1 \& B1 \& !B0$

$C2.oe = Vdd$

$C3 = A1 \& A0 \& B1 \& B0$

$C3.oe = Vdd$

2) Una possibile implementazione in linguaggio VHDL del moltiplicatore a due bit è la seguente

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE work.std_arith.ALL;

ENTITY Mul2 IS PORT (
    A, B: IN std_logic_vector (1 DOWNTO 0);
    C: OUT std_logic_vector (3 DOWNTO 0));
END Mul2;
ARCHITECTURE arch_Mul2 OF Mul2 IS
BEGIN
    C <= A*B;
END arch_Mul2;
```