

**ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE**  
**Appello d'esame del 18/1/2016**

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti  
Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome \_\_\_\_\_ Nome \_\_\_\_\_ Matr. \_\_\_\_\_ Data \_\_\_/\_\_\_/\_\_\_

1) Il FANOUT dinamico....

- a dipende dal valore della corrente  $I_{ih}$  del dispositivo pilotato
- b dipende dai valori delle correnti  $I_{ih}$  e  $I_{il}$  del dispositivo pilotato
- c dipende dalla capacità d'ingresso  $C_{in}$  del dispositivo pilotato

2)  $V_{ol,min}$  in un CMOS alimentato a  $V_{dd}$  è normalmente pari a...

- a 0
- b  $V_{dd}$
- c  $1\% V_{dd}$

3) La tecnologia... ha bassa dissipazione di potenza statica

- a RTL
- b TTL
- c CMOS

4) La metastabilità si può presentare se si violano le condizioni di set-up ...

- a in un contatore
- b in un sommatore
- c in una porta logica realizzata in tecnologia CMOS

5) Un priority encoder a 8 linee di ingresso codifica l'uscita su ... linee

- a 1
- b 2
- c 3

6) Un convertitore analogico/digitale a N bit con ingresso tra 0V e 1V ha un'uscita numerica...

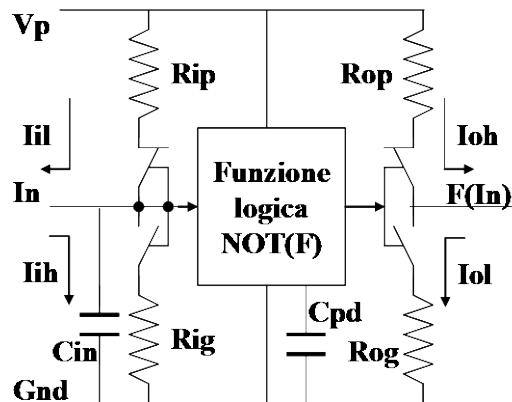
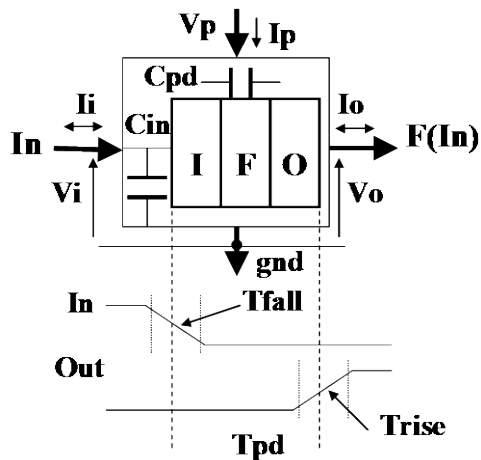
- a compresa tra 0 e N
- b compresa tra 0 e  $2^N$
- c compresa tra 0 e  $2^N-1$

7) Un dispositivo GAL ha l'architettura simile a quella di una ...

- a PLA
- b PAL
- c PLE

**ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE**  
**Appello d'esame del 18/1/2016 (1h 40 minuti)**

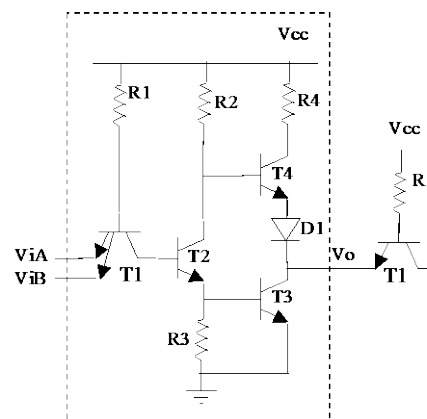
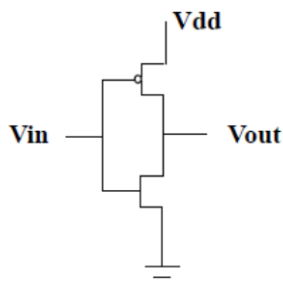
Problema



Dato il modello rappresentato in figura, descrivere la Capacità interna  $C_{pd}$  e quali effetti rappresenta e se la sua presenza influisce sul FAN-OUT dinamico, sul FAN-OUT statico, sulla potenza dinamica e sulla potenza statica (3 punti)

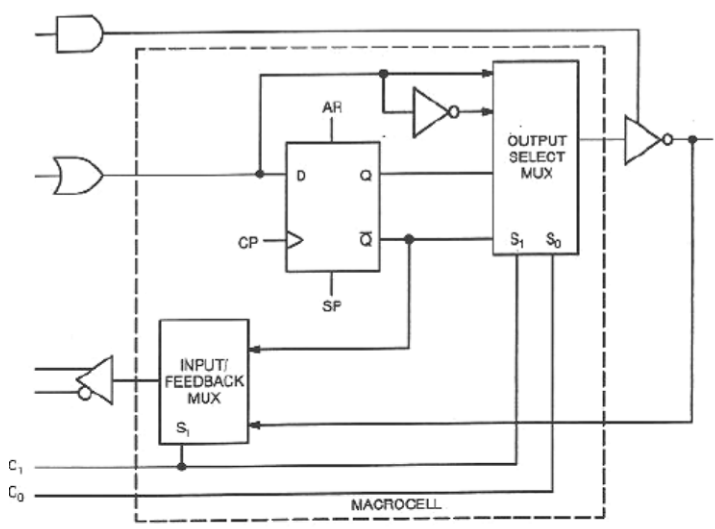
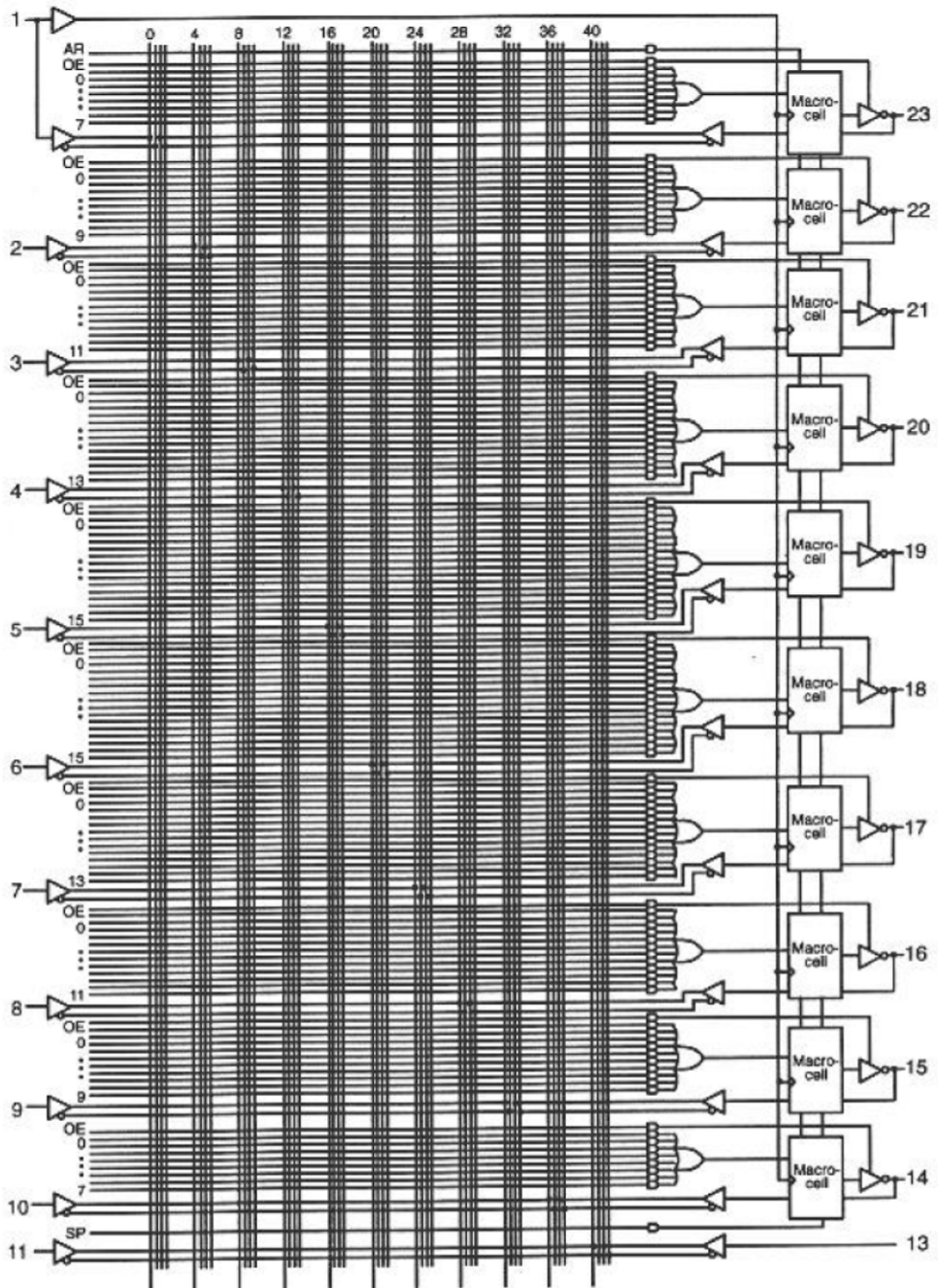
Problema

Dati i circuiti in figura, si identifichi la famiglia logica di entrambi e si enuncino le differenze funzionali (2 punti)



Problema

- 1) Si illustri la differenza tra un contatore a 3 bit asincrono e un contatore a 3 bit sincrono con riferimento all'implementazione su dispositivo GAL22V10. (2 punti)
- 2) Si scriva il programma in VHDL di un contatore sincrono up a 3 bit con reset asincrono (1 punto)



SOLUZIONI, Appello di Elettronica Generale, FED, 18/1/2016

1) Il FANOUT dinamico....

- a dipende dal valore della corrente  $I_{ih}$  del dispositivo pilotato
- b dipende dai valori delle correnti  $I_{ih}$  e  $I_{il}$  del dispositivo pilotato
- c dipende dalla capacità d'ingresso  $C_{in}$  del dispositivo pilotato

c

2)  $V_{ol,min}$  in un CMOS alimentato a  $V_{dd}$  è normalmente pari a...

- a 0
- b  $V_{dd}$
- c  $1\% V_{dd}$

a

3) La tecnologia... ha bassa dissipazione di potenza statica

- a RTL
- b TTL
- c CMOS

c

4) La metastabilità si può presentare se si violano le condizioni di set-up ...

- a in un contatore
- b in un sommatore
- c in una porta logica realizzata in tecnologia CMOS

a

5) Un priority encoder a 8 linee di ingresso codifica l'uscita su .... linee

- a 1
- b 2
- c 3

c

6) Un convertitore analogico/digitale a N bit con ingresso tra 0V e 1V ha un'uscita numerica...

- a compresa tra 0 e N
- b compresa tra 0 e  $2^N - 1$
- c compresa tra 0 e  $2^N$

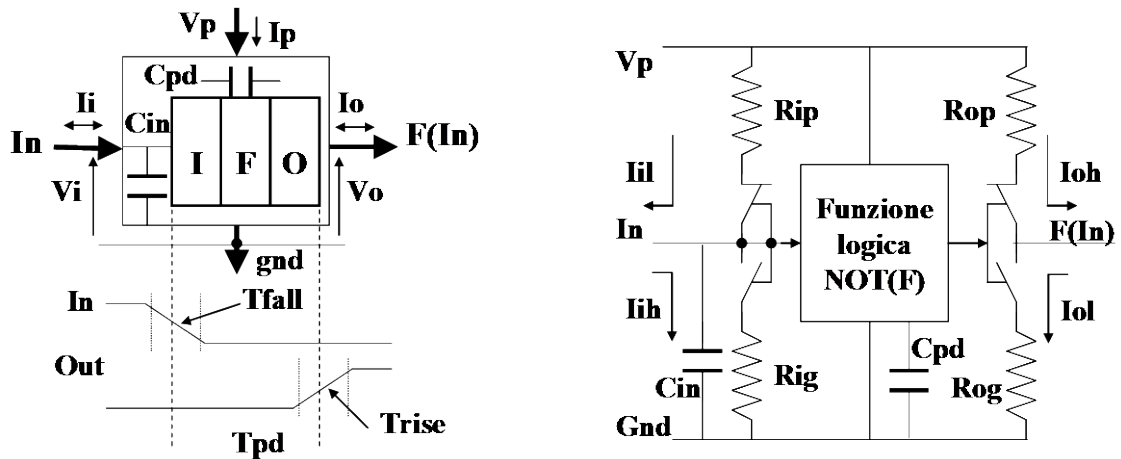
b

7) Un dispositivo GAL ha l'architettura simile a quella di una ...

- a PLA
- b PAL
- c PLE

b

Problema



Dato il modello rappresentato in figura, descrivere la Capacità interna Cpd e quali effetti rappresenta e se la sua presenza influisce sul FAN-OUT dinamico, sul FAN-OUT statico, sulla potenza dinamica e sulla potenza statica (2 punti)

Soluzione

La capacità interna Cpd modella gli effetti di trasferimenti di carica e/o di capacità parassite e/o di correnti impulsive di breve durata che si hanno durante la commutazione. Include ad esempio l'effetto della capacità di gate degli stadi interni e la corrente che fluisce negli interruttori durante il transitorio di apertura e/o di chiusura.

Il FANOUT dinamico è il rapporto tra la capacità di carico utilizzata per la caratterizzazione dinamica del dispositivo rispetto alla capacità d'ingresso dei dispositivi pilotati; non è influenzato da Cpd.

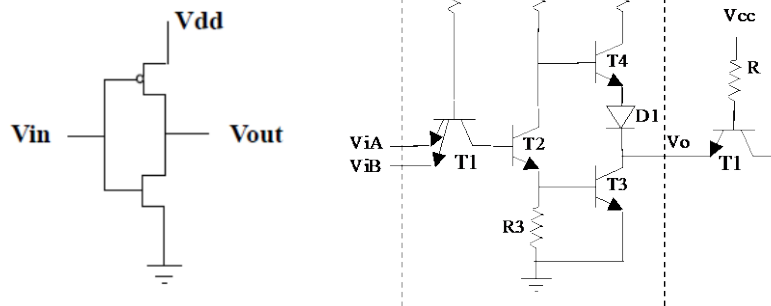
Il FANOUT statico è il rapporto tra la corrente erogabile in uscita dal pilota e la corrente assorbita in ingresso dai carichi; non è influenzato da Cpd.

La dissipazione di potenza dinamica è pari a  $V_p^2(C_{pd}+C_l)f$  dove  $V_p$  è la tensione di alimentazione,  $f$  è la frequenza operativa del segnale in ingresso e  $C_l$  è la capacità di carico dell'uscita, tipicamente pari alla somma delle capacità di ingresso dei dispositivi pilotati; è influenzato da Cpd.

La dissipazione di potenza statica è pari a  $V_p \cdot I_p$ , dove  $I_p$  è la corrente di assorbimento dall'alimentazione, che corrisponde alla corrente  $I_{cc}$  ( $I_{cch}$ ,  $I_{ccl}$ ) nel caso di dispositivi bipolari e alla corrente di perdita  $I_l$  nel caso di dispositivi CMOS; non è influenzato da Cpd.

Problema

Dati i circuiti in figura, si identifichi la famiglia logica di entrambi e si enuncino le differenze funzionali (2 punti)



Soluzione

La porta a sinistra è una porta NOT in tecnologia CMOS, mentre la porta a destra è una porta NAND in tecnologia bipolare TTL.

La porta CMOS ha dissipazione di potenza statica trascurabile rispetto alla porta TTL, tuttavia ha capacità di ingresso superiore quindi è più lenta. La porta CMOS beneficia di compensazione termica e consente ampio range di alimentazione; è soggetta a problemi tecnologici, quale ESD e latch-up, che sono stati risolti nelle famiglie logiche CMOS successive.

### Problema

- 1) Si illustri la differenza tra un contatore a 3 bit asincrono e un contatore a 3 bit sincrono con riferimento all'implementazione su dispositivo GAL22V10. (2 punti)
- 2) Si scriva il programma in VHDL di un contatore sincrono up a 3 bit con reset asincrono (1 punto)

### Soluzione

1) Un contatore a 3 bit asincrono è costituito da 3 flip-flop di tipo T opportunamente connessi in cascata in modo che il clock del bit più significativo dipenda dall'uscita del flip-flop relativo al bit immediatamente inferiore, il cui clock dipenda a sua volta dall'uscita del flip-flop del bit meno significativo. Si noti come i flipflop presenti nel dispositivo GAL22V10 abbiano tutti la linea di clock in comune (pin 1 del dispositivo) e pertanto la realizzazione del contatore asincrono all'interno del dispositivo GAL22V10 non è possibile. Per quanto riguarda il contatore sincrono, è formato da 3 flip-flop con il clock in comune il cui ingresso è funzione delle uscite dei flipflop stessi. Data la tabella stato attuale stato prossimo, si ha:

Q2	Q1	Q0	Q2	Q1	Q0
0	0	0	0	0	1
0	0	1	0	1	0
0	1	0	0	1	1
0	1	1	1	0	0
1	0	0	1	0	1
1	0	1	1	1	0
1	1	0	1	1	1
1	1	1	0	0	0

$$Q0 = !Q0 \quad Q1 = Q1 \&!Q0 + !Q1 \&Q0 \quad Q2 = Q2 \&!Q1 + Q2 \&!Q0 + !Q2 \&Q1 \&Q0$$

Il programma della GAL sarebbe:

ck	nc	nc	nc	nc	nc	nc	nc	nc	nc	nc	nc	gnd
nc	nc	nc	nc	Q0	Q1	Q2	nc	nc	nc	nc	nc	Vdd

$$\begin{aligned}
 Q0 &= !Q0 & Q0.oe &= Vdd \\
 Q1 &= Q1 \&!Q0 + !Q1 \&Q0 & Q1.oe &= Vdd \\
 Q2 &= Q2 \&!Q1 + Q2 \&!Q0 + !Q2 \&Q1 \&Q0 & Q2.oe &= Vdd
 \end{aligned}$$

2) Una possibile implementazione in linguaggio VHDL del contatore richiesto, con reset asincrono, è la seguente

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE work.std_arith.ALL;
ENTITY counter IS PORT (
    ck, res: IN std_logic;
    Output: BUFFER std_logic_vector (2 DOWNT0 0));
END counter;
ARCHITECTURE arch_counter OF counter IS
BEGIN
    conta: PROCESS (ck, res)
    BEGIN
        IF res = '1' THEN
            Output <= "000";
        ELSIF rising_edge(ck) THEN
            Output <= Output + 1;
        END IF;
    END PROCESS conta;
END arch_counter;

```