

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 8/9/2015

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti
Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome _____ Nome _____ Matr. _____ Data ___/___/___

- 1) Il FANOUT statico....
 - ()a dipende dal valore della corrente I_{ih} del dispositivo pilotato
 - ()b dipende dal valore della corrente I_{ih} del dispositivo pilota
 - ()c dipende dalla capacità d'ingresso C_{in} del dispositivo pilotato

- 2) Se applico in ingresso un segnale minore di V_{il} o maggiore di V_{ih} , l'uscita si porta ad un valore..
 - ()a imprevedibile
 - ()b compreso tra gnd e V_{ol} o tra V_{oh} e V_{cc}
 - ()c compreso tra V_{ol} e V_{oh}

- 3) La famiglia logica DTL, rispetto alla RTL....
 - ()a modifica sostanzialmente l'architettura dello stadio di ingresso
 - ()b modifica sostanzialmente l'architettura dello stadio di uscita
 - ()c modifica il tipo di transistor utilizzato (FET invece di BJT)

- 4) La metastabilità si può presentare se si violano le condizioni di set-up ...
 - ()a in un Flip-Flop
 - ()b in un moltiplicatore
 - ()c in una porta logica con ingresso non Schmidt trigger

- 5) Un sommatore a 4 bit che possa essere utilizzato per realizzare sommatore a 8 o 16 bit ha ...
 - ()a 4 ingressi dati, 4 uscite dati e il bit di uscita di Carry
 - ()b 8 ingressi dati, 4 uscite dati e il bit di uscita di Carry
 - ()c 8 ingressi dati, 4 uscite dati, il bit di uscita di Carry e il bit di ingresso di Carry

- 6) Una cella di memoria EEPROM a 1 bit è costituita da
 - ()a un flip-flop di tipo D e un buffer 3-state
 - ()b un interruttore e un condensatore
 - ()c un NMOS speciale con gate aggiuntivo flottante

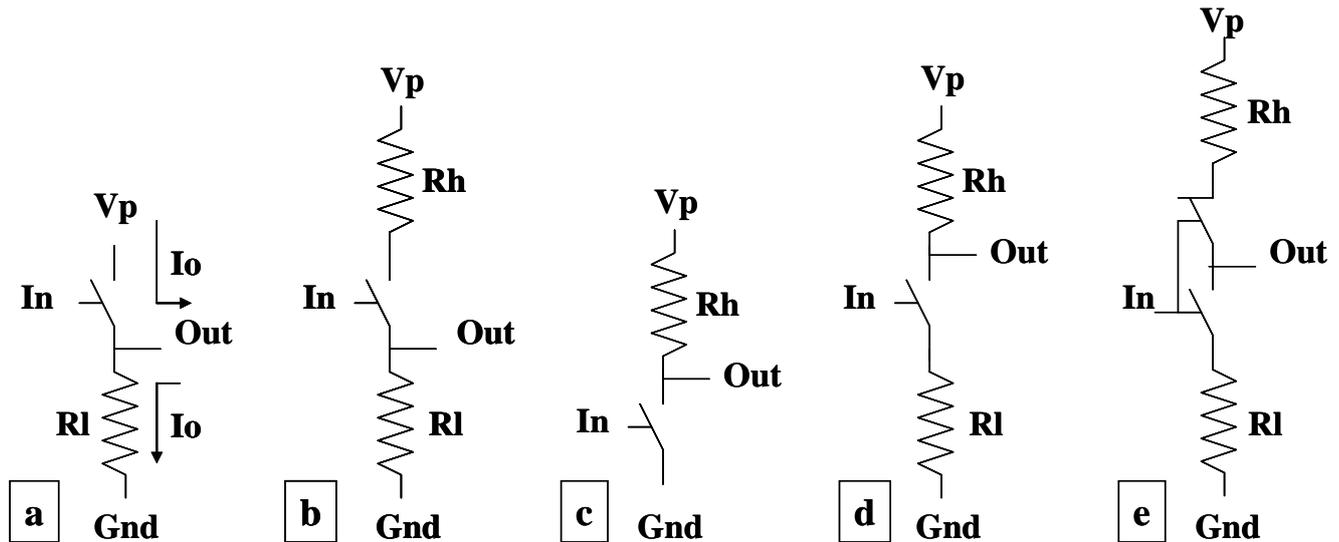
- 7) Un dispositivo GAL...
 - ()a implementa solo forme canoniche
 - ()b ha la matrici di OR e di AND interamente programmabili
 - ()c è tra i più recenti e diffusi dispositivi SPLD

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE
Appello d'esame del 8/9/2015 (1h 40 minuti)

Problema

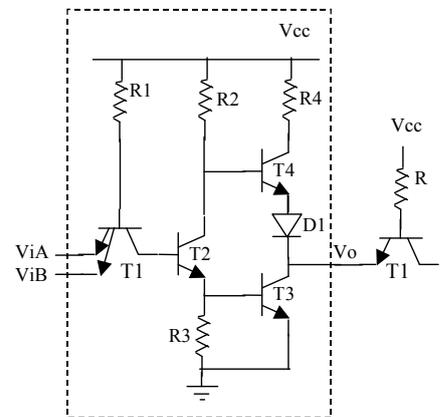
Commentare i seguenti modelli di uscita di dispositivi logici in termini di caratteristiche logiche (buffer invertente o non invertente) e di caratteristiche elettriche (tensione di uscita, dipendenza della tensione di uscita dalla corrente di uscita) (2 punti)

Indicare quale modello si adatta a ben rappresentare dispositivi RTL e quale si adatta a ben rappresentare dispositivi CMOS (1 punto)



Problema

Dato il circuito in figura, si identifichi la famiglia logica e il tipo di porta logica (funzione logica) e si calcolino i valori V_{oh} , V_{ol} , V_{ih} , V_{il} a vuoto, illustrando la funzione del diodo D1 (2 punti)

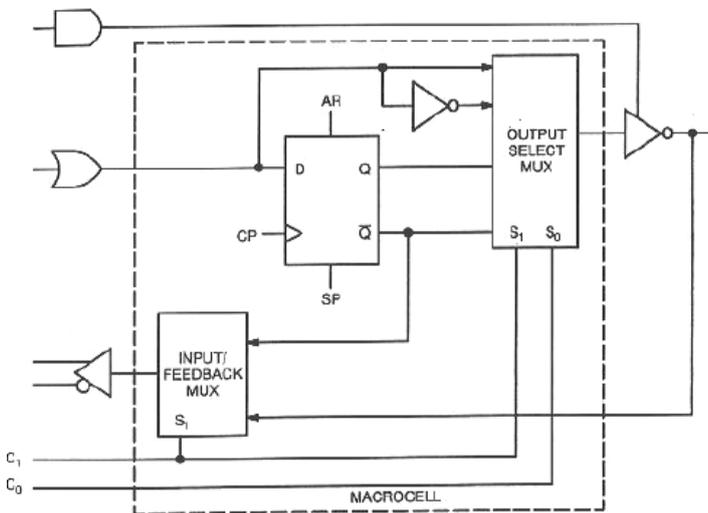
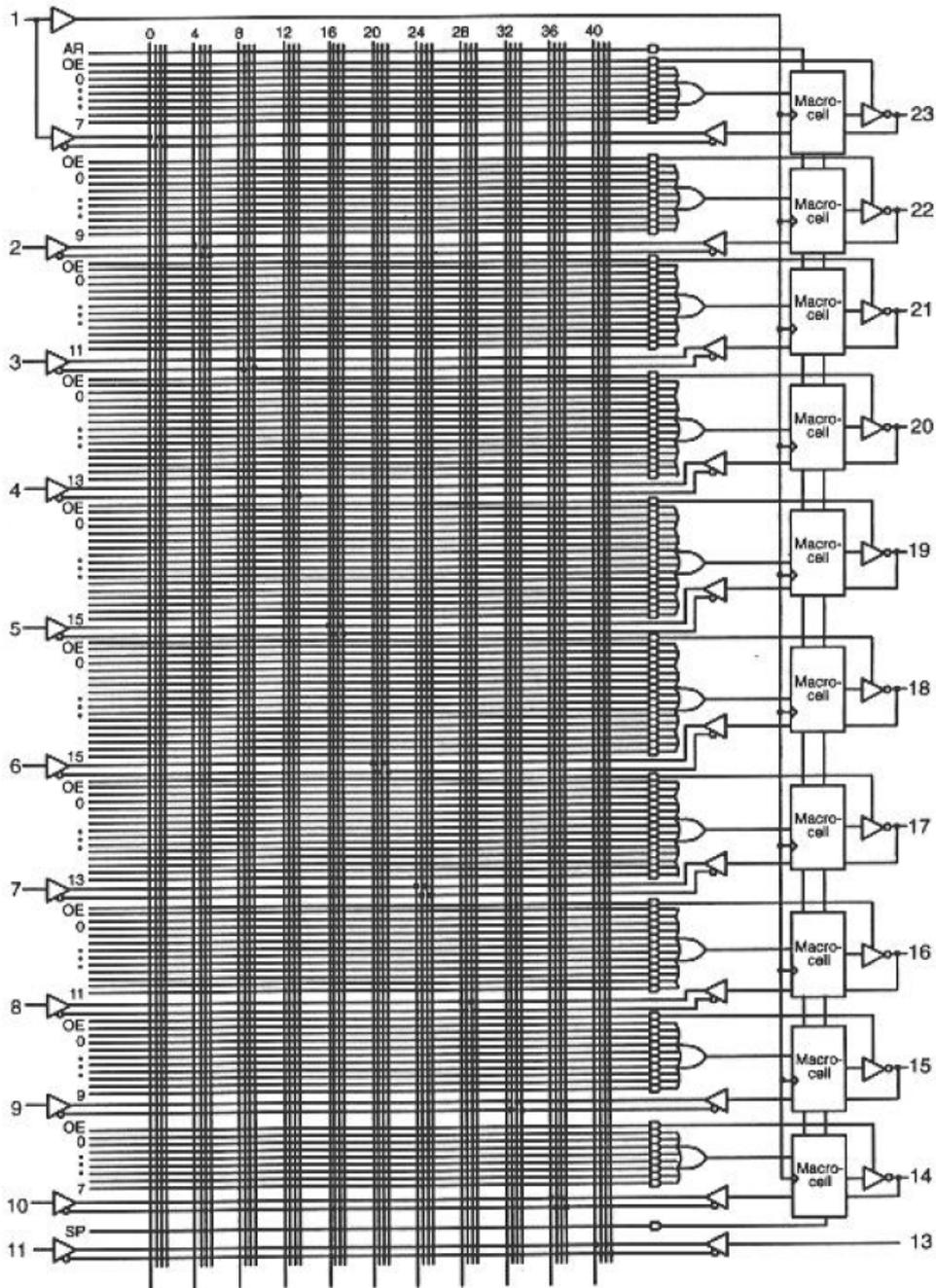


Problema

1) Si definisca il comparatore a 4 bit illustrando le possibilità di connessione per la realizzazione di comparatori a byte. (1 punto)

Si sviluppi il programma in linguaggio booleano per una GAL22V10 considerando parole a 2 bit (1 punto)

3) ...e il programma VHDL (1 punto)



SOLUZIONI, Appello di Elettronica Generale, FED, 8/9/2015

1) Il FANOUT statico....

- a dipende dal valore della corrente I_{ih} del dispositivo pilotato
- b dipende dal valore della corrente I_{ih} del dispositivo pilota
- c dipende dalla capacità d'ingresso C_{in} del dispositivo pilotato

2) Se applico in ingresso un segnale minore di V_{il} o maggiore di V_{ih} , l'uscita si porta ad un valore..

- a imprevedibile
- b compreso tra gnd e V_{ol} o tra V_{oh} e V_{cc}
- c compreso tra V_{ol} e V_{oh}

3) La famiglia logica DTL, rispetto alla RTL....

- a modifica sostanzialmente l'architettura dello stadio di ingresso
- b modifica sostanzialmente l'architettura dello stadio di uscita
- c modifica il tipo di transistor utilizzato (FET invece di BJT)

4) La metastabilità si può presentare se si violano le condizioni di set-up ...

- a in un Flip-Flop
- b in un moltiplicatore
- c in una porta logica con ingresso non Schmidt trigger

5) Un sommatore a 4 bit che possa essere utilizzato per realizzare sommatore a 8 o 16 bit ha ...

- a 4 ingressi dati, 4 uscite dati e il bit di uscita di Carry
- b 8 ingressi dati, 4 uscite dati e il bit di uscita di Carry
- c 8 ingressi dati, 4 uscite dati, il bit di uscita di Carry e il bit di ingresso di Carry

6) Una cella di memoria EEPROM a 1 bit è costituita da

- a un flip-flop di tipo D e un buffer 3-state
- b un interruttore e un condensatore
- c un NMOS speciale con gate aggiuntivo flottante

7) Un dispositivo GAL...

- a implementa solo forme canoniche
- b ha la matrici di OR e di AND interamente programmabili
- c è tra i più recenti e diffusi dispositivi SPLD

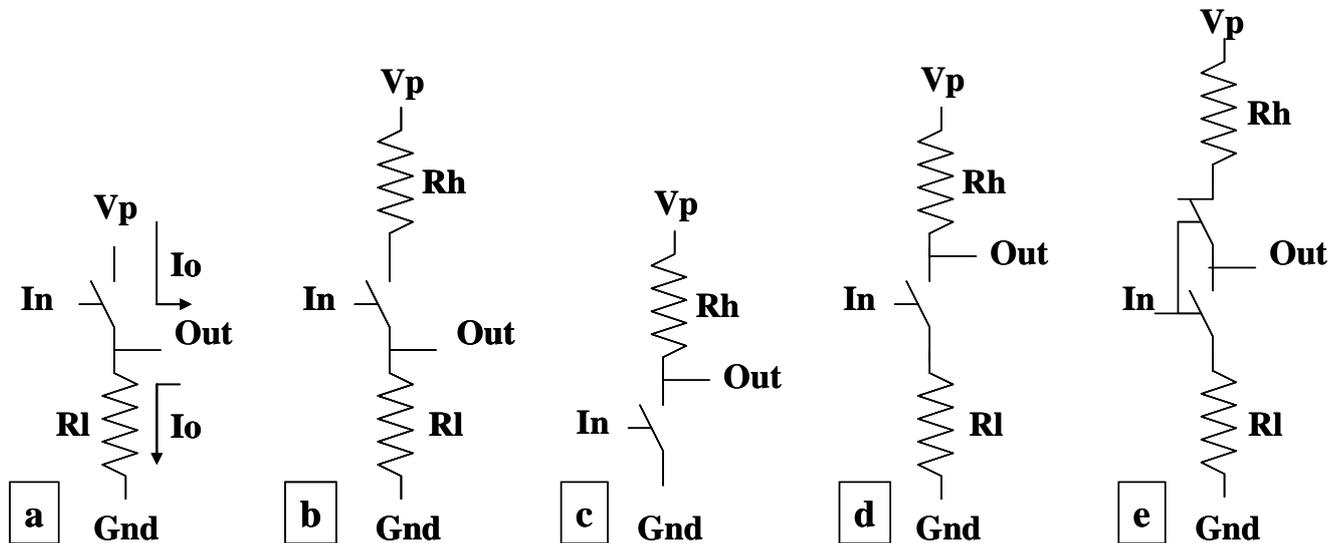
Problema

Commentare i seguenti modelli di uscita di dispositivi logici in termini di caratteristiche logiche (buffer invertente o non invertente) e di caratteristiche elettriche (tensione di uscita, dipendenza della tensione di uscita dalla corrente di uscita)

(2 punti)

Si tratta di modelli statici o dinamici?

(1 punto)



Soluzione

Data V_o =tensione di uscita e I_o =corrente di uscita, si dice che un livello logico è “forte” se V_o dipende poco dal valore di I_o , se invece si ha una relazione ohmica (lineare), allora si dice che il livello è debole. Per i circuiti in figura si ha:

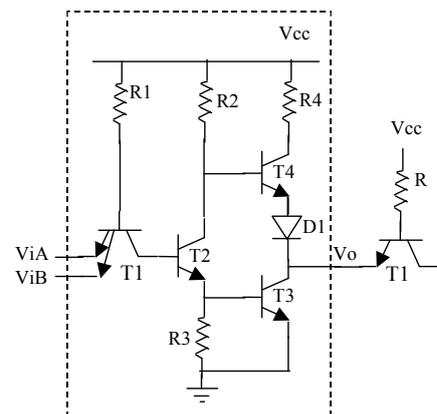
- a) Identità, “1” forte ($V_o = V_p$, I_o infinita), “0” debole ($V_o = R_l \cdot I_o$)
- b) Identità, “1” meno forte ($V_o = (V_p - I_o \cdot R) / 2$ se $R_l = R_h = R$, ma $V_o = V_p / 2$ se $I_o = 0$), “0” come a
- c) NOT, “0” forte ($V_o = gnd$, I_o infinita), “1” debole ($V_o = V_p - R_h \cdot I_o$)
- d) NOT, “0” meno forte ($V_o = (V_p + I_o \cdot R) / 2$ se $R_l = R_h = R$, ma $V_o = V_p / 2$ se $I_o = 0$), “1” come c
- e) NOT, “1” “0” simmetrici se $R_l = R_h$ ($V_o = R_l \cdot I_o$ se $Out = “0”$, $V_o = V_p - R_h \cdot I_o$ se “1”)

I dispositivi RTL sono ben rappresentati dal modello “c”, mentre i dispositivi CMOS sono ben rappresentati dal modello “e”.

Problema

Dato il circuito in figura, si identifichi la famiglia logica e il tipo di porta logica (funzione logica) e si calcolino i valori V_{oh} , V_{ol} , V_{ih} , V_{il} a vuoto, illustrando la funzione del diodo D1

(2 punti)



Si tratta di una porta NAND TTL standard.

Considerando l'uscita a "0" a vuoto si ha:

$$V_{ol} \approx V_{ce,sat} = 0.2V$$

$$I_{ol} = I_{c,max} - I_{cbo} > n \cdot I_{il}$$

$$I_{ih} = I_{cbo} < 10 \text{ A}$$

$$V_{ih} = 2V_{be,sat} > 1.4V \approx 1.5V$$

Considerando l'uscita a "1" a vuoto si ha:

$$V_{oh} = V_{cc} - R_2 \cdot I_{b4} - V_{be4} - V_d \approx V_{cc} - V_d - V_{ce} - R_c \cdot I_{oh} > V_{ih} \text{ (tip. } V_{oh} \approx 3V)$$

$$I_{oh} > n \cdot I_{ih} \text{ (tip. } n > 10)$$

$$I_{il} = (V_{cc} - V_{ce,sat} - V_{d,sat}) / R_1 \approx 1 \text{ mA}$$

$$V_{il} < 1.4V \approx 1.3V$$

Il diodo D1 impedisce al Transistore T4 di entrare in conduzione quando T3 è in conduzione. Infatti, se T3 è in conduzione, all'uscita V_o c'è una tensione pari a $V_{ce,sat}$ ossia circa uguale a 0,3V. Se T3 è in conduzione allora anche T2 è in conduzione e sul collettore di T2 c'è una tensione pari alla tensione di emettitore di T2 più $V_{ce,sat}$; ma dato che l'emettitore di T2 è connesso alla base di T3 che è in saturazione, allora sull'emettitore di T2 c'è una tensione pari a $V_{be,sat}$ ossia circa 0,7V. Ne consegue che sul collettore di T2, che è connesso alla base di T4, c'è una tensione pari a $V_{be,sat} + V_{ce,sat}$, ossia circa 1V. Se non ci fosse il diodo D1, T4 sarebbe in conduzione in quanto la tensione in base sarebbe $V_{be,sat} + V_{ce,sat}$ e la tensione all'emettitore sarebbe $V_{ce,sat}$. Il diodo D1 funge quindi da traslatore di tensione e potrebbe svolgere la sua funzione anche con il catodo connesso alla base di T4 e l'anodo connesso sul collettore di T2.

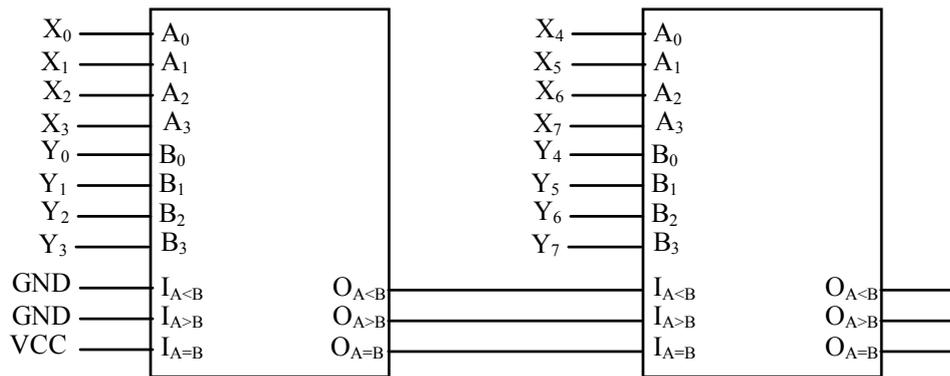
Problema

- 1) Si definisca il comparatore a 4 bit illustrando le possibilità di connessione per la realizzazione di comparatori a byte. (1 punto)
- Si sviluppi il programma in linguaggio booleano per una GAL22V10 considerando parole a 2 bit (1 punto)
- 3) ...e il programma VHDL (1 punto)

Soluzione

1) Il comparatore a 4 bit che possa essere connesso in cascata dispone di 3 uscite $O_{A=B}$, $O_{A>B}$, $O_{A<B}$, 4 ingressi per la prima parola da confrontare (A_0 - A_3), 4 ingressi per la seconda parola da confrontare (B_0 - B_3), 3 ingressi che sono le uscite dello stadio a livello più basso. La tabella della verità e lo schema di connessione sono i seguenti:

A_3, B_3	A_2, B_2	A_1, B_1	A_0, B_0	$I_{A=B}$	$I_{A>B}$	$I_{A<B}$	$O_{A=B}$	$O_{A>B}$	$O_{A<B}$
$A_3 > B_3$	X	X	X	X	X	X	L	H	L
$A_3 < B_3$	X	X	X	X	X	X	L	L	H
$A_3 = B_3$	$A_2 > B_2$	X	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 < B_2$	X	X	X	X	X	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 > B_1$	X	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 < B_1$	X	X	X	X	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 > B_0$	X	X	X	L	H	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 < B_0$	X	X	X	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	L	L	H	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	L	H	L	L	H
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	L	H	H	H	L	L
$A_3 = B_3$	$A_2 = B_2$	$A_1 = B_1$	$A_0 = B_0$	H	X	X	H	L	L



Le equazioni sarebbero

$$O_{A=B} = O_{AeqB} = (A_1 \& B_1 + !A_1 \& !B_1) \& (A_0 \& B_0 + !A_0 \& !B_0) \& (I_{AeqB} + I_{AgB} \& I_{AlB})$$

$$O_{A>B} = O_{AgB} = A_1 \& !B_1 + (A_1 \& B_1 + !A_1 \& !B_1) \& A_0 \& !B_0 + (A_1 \& B_1 + !A_1 \& !B_1) \& (A_0 \& B_0 + !A_0 \& !B_0) \& !I_{AeqB} \& !I_{AlB}$$

$$O_{A<B} = O_{AlB} = !A_1 \& B_1 + (A_1 \& B_1 + !A_1 \& !B_1) \& !A_0 \& B_0 + (A_1 \& B_1 + !A_1 \& !B_1) \& (A_0 \& B_0 + !A_0 \& !B_0) \& !I_{AeqB} \& !I_{AgB}$$

2) Il programma della GAL sarebbe:

```
nc  S1  S0  A   B   C   D   nc  nc  nc  nc  gnd
nc  nc  nc  nc  OUT nc  nc  nc  nc  Vdd
```

$$O_{AeqB} = A_1 \& B_1 \& A_0 \& B_0 \& I_{AeqB} + A_1 \& B_1 \& A_0 \& B_0 \& I_{AgB} \& I_{AlB} + A_1 \& B_1 \& !A_0 \& !B_0 \& I_{AeqB} + A_1 \& B_1 \& !A_0 \& !B_0 \& I_{AgB} \& I_{AlB} + !A_1 \& !B_1 \& A_0 \& B_0 \& I_{AeqB} + !A_1 \& !B_1 \& A_0 \& B_0 \& I_{AgB} \& I_{AlB} + !A_1 \& !B_1 \& !A_0 \& !B_0 \& I_{AeqB} + !A_1 \& !B_1 \& !A_0 \& !B_0 \& I_{AgB} \& I_{AlB}$$

$$O_{AeqB}.oe = Vdd$$

$$O_{AgB} = A_1 \& !B_1 + A_1 \& B_1 \& A_0 \& !B_0 + !A_1 \& !B_1 \& A_0 \& !B_0 + A_1 \& B_1 \& A_0 \& B_0 \& !I_{AeqB} \& !I_{AlB} + A_1 \& B_1 \& !A_0 \& !B_0 \& !I_{AeqB} \& !I_{AlB} + !A_1 \& !B_1 \& A_0 \& B_0 \& !I_{AeqB} \& !I_{AlB} + !A_1 \& !B_1 \& !A_0 \& !B_0 \& !I_{AeqB} \& !I_{AlB}$$

$$O_{AgB}.oe = Vdd$$

$$O_{AlB} = !A_1 \& B_1 + A_1 \& B_1 \& !A_0 \& B_0 + !A_1 \& !B_1 \& !A_0 \& B_0 + A_1 \& B_1 \& A_0 \& B_0 \& !I_{AeqB} \& !I_{AgB} + A_1 \& B_1 \& !A_0 \& !B_0 \& !I_{AeqB} \& !I_{AgB} + !A_1 \& !B_1 \& A_0 \& B_0 \& !I_{AeqB} \& !I_{AgB} + !A_1 \& !B_1 \& !A_0 \& !B_0 \& !I_{AeqB} \& !I_{AgB}$$

$$O_{AlB}.oe = Vdd$$

Una possibile implementazione in linguaggio VHDL è la seguente:

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;
USE ieee.std_logic_unsigned.ALL;

ENTITY comp IS
    PORT (IAeqB, IAgB, IAlB: IN std_logic;
          A, B: std_logic_vector(1 DOWNTO 0);
          OAeqB, OAgB, OAlB: OUT std_logic);
END comp;
```

```
ARCHITECTURE archcomp OF comp IS
BEGIN
```

```
    PROCESS (IAeqB, IAgB, IAlB, A, B)
    BEGIN
```

```
        IF A > B THEN
            OAeqB <= '0';
            OAgB <= '1';
            OAlB <= '0';
```

```
        ELSIF A < B THEN
            OAeqB <= '0';
            OAgB <= '0';
            OAlB <= '1';
```

```
        ELSE
            IF (IAeqB = '1')OR((IAgB = '1')AND(IAlB = '1')) THEN
                OAeqB <= '1';
                OAgB <= '0';
                OAlB <= '0';
```

```
            ELSIF (IAgB = '1')AND(IAlB = '0') THEN
                OAeqB <= '0';
                OAgB <= '1';
                OAlB <= '0';
```

```
            ELSIF (IAgB = '0')AND(IAlB = '1') THEN
                OAeqB <= '0';
                OAgB <= '0';
                OAlB <= '1';
```

```
            ELSE
                OAeqB <= '0';
                OAgB <= '1';
                OAlB <= '1';
```

```
            END IF;
```

```
        END IF;
```

```
    END PROCESS;
```

```
END archcomp;
```