

ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE  
Appello d'esame del 17/6/2015

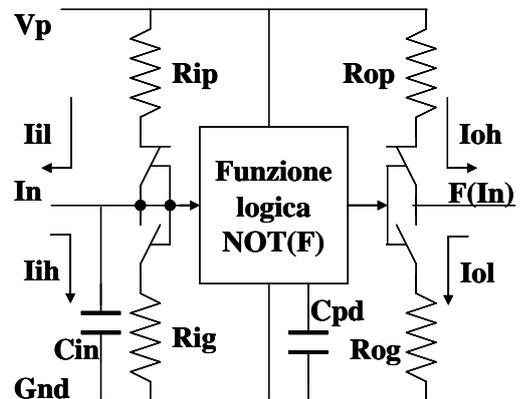
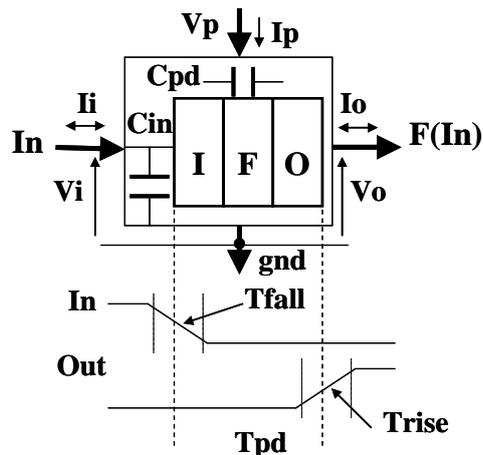
Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti  
Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome\_\_\_\_\_ Nome\_\_\_\_\_ Mat.\_\_\_\_\_ Data\_\_/\_\_/\_\_

- 1) ....è la tensione in uscita quando la corrente è  $I_{oh}$   
 a  $V_{ol,max}$                        b  $V_{oh,max}$                        c  $V_{oh, min}$
- 2) I dispositivi transceiver sono costituiti da due buffer in antiparallelo...  
 a Schmidt trigger                       b open collector                       c three state
- 3) La tecnologia ...ha un ampio range di tensione di alimentazione  
 a RTL                       b TTL                       c CMOS
- 4) Un contatore asincrono....  
 a ha il reset asincrono  
 b necessita di stadio di sincronizzazione per compensare il disallineamento delle uscite  
 c necessita di stadio di sincronizzazione per il LOAD del valore iniziale
- 5) Un flipflop di tipo D  
 a campiona l'ingresso sul fronte di salita del clock  
 b ha un ritardo di propagazione da ingresso a uscita espresso come  $T_{phl}$  o  $T_{plh}$   
 c ha sempre un reset e un preset sincroni
- 6) Una cella di memoria EEPROM a 1 bit è costituita da  
 a un flip-flop di tipo D e un buffer 3-state  
 b un interruttore e un condensatore  
 c un NMOS speciale con gate aggiuntivo flottante
- 7) Un dispositivo PLE...  
 a implementa forme canoniche  
 b ha la matrice di AND programmabile  
 c è la più recente tra i dispositivi SPLD

**ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE**  
**Appello d'esame del 17/6/2015 (1h 40 minuti)**

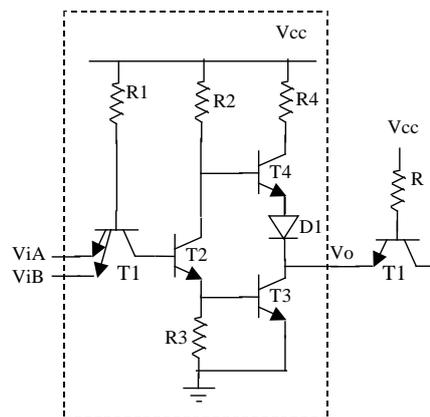
Problema



Dato il modello rappresentato in figura, descrivere la Capacità interna  $C_{pd}$  e quali effetti rappresenta e se la sua presenza influisce sul FAN-OUT dinamico, sulla potenza dinamica e sulla potenza statica (2 punti)

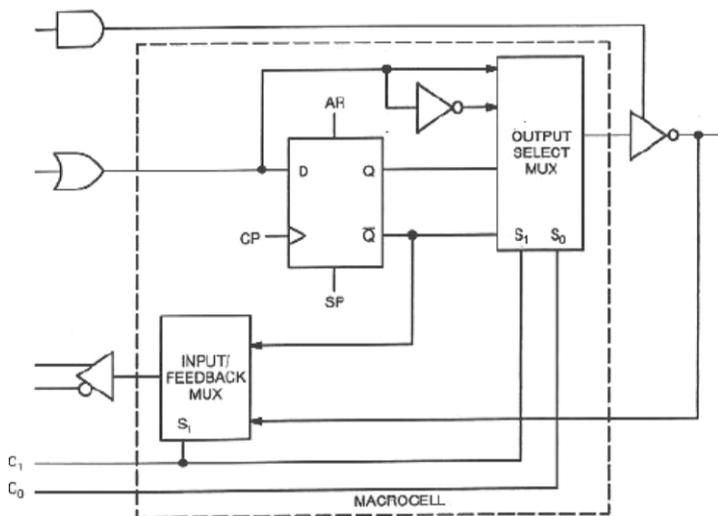
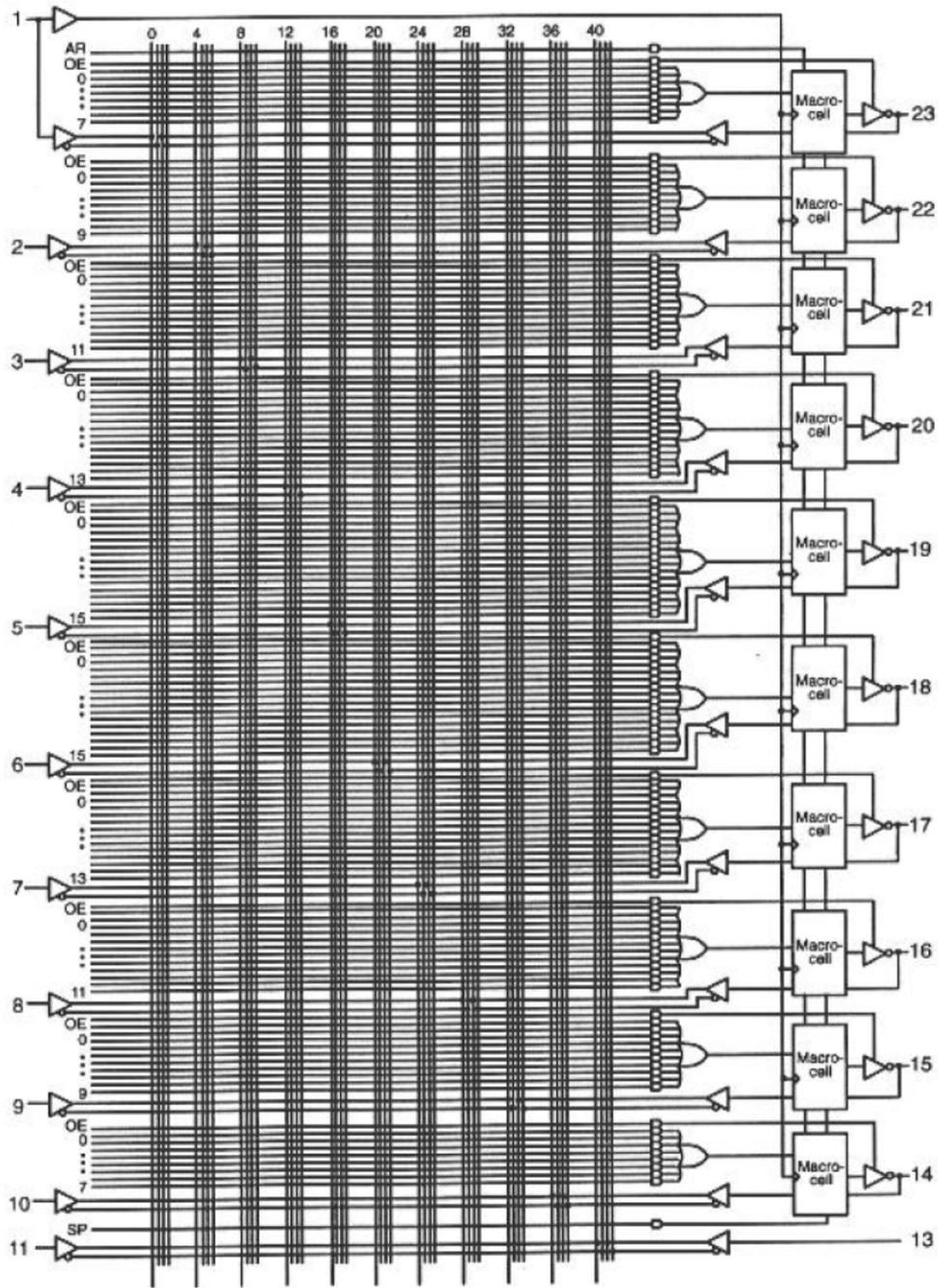
Problema

Dato il circuito in figura, si identifichi la famiglia logica e il tipo di porta logica e si calcolino i valori  $V_{oh}$ ,  $V_{ol}$ ,  $V_{ih}$ ,  $V_{il}$  a vuoto, illustrando la funzione del diodo  $D1$  (2 punti)  
 Si illustri, motivando, la relazione tra  $I_{ccl}$  e  $I_{cch}$  (1 punto)



Problema

- 1) Si motivi la necessità di usare il tipo `std_logic` piuttosto che il `bit` in VHDL per rappresentare una porta di tipo three-state (1 punto)
- 2) Si definisca il multiplexer 4 a 1, dove A, B, C, e D sono gli ingressi, OUT è l'uscita e S0 e S1 sono le linee di selezione. Si sviluppi il programma in linguaggio booleano per una GAL22V10 (1 punto)
- 3) ...e il programma VHDL (1 punto)



## SOLUZIONI

### ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE

Appello d'esame del 17/6/2015

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti

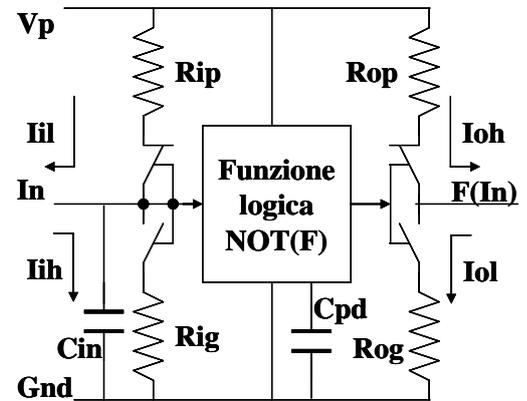
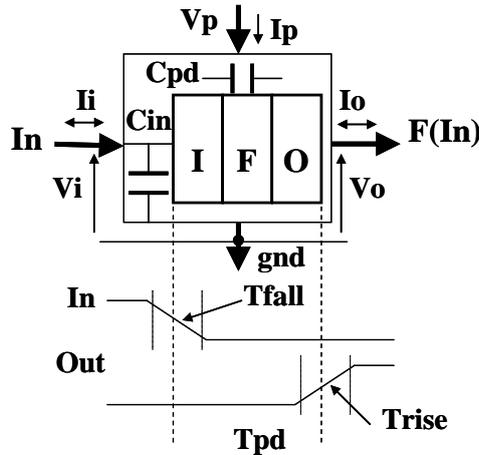
Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

Cognome \_\_\_\_\_ Nome \_\_\_\_\_ Mat. \_\_\_\_\_ Data \_\_/\_\_/\_\_

- 1) ...è la tensione in uscita quando la corrente è  $I_{oh}$   
 a  $V_{ol,max}$                        b  $V_{oh,max}$                        c  $V_{oh, min}$
- 2) I dispositivi transceiver sono costituiti da due buffer in antiparallelo...  
 a Schmidt trigger                       b open collector                       c three state
- 3) La tecnologia ...ha un ampio range di tensione di alimentazione  
 a RTL                       b TTL                       c CMOS
- 4) Un contatore asincrono....  
 a ha il reset asincrono  
 b necessita di stadio di sincronizzazione per compensare il disallineamento delle uscite  
 c necessita di stadio di sincronizzazione per il LOAD del valore iniziale
- 5) Un flipflop di tipo D  
 a campiona l'ingresso sul fronte di salita del clock  
 b ha un ritardo di propagazione da ingresso a uscita espresso come  $T_{phl}$  o  $T_{plh}$   
 c ha sempre un reset e un preset sincroni
- 6) Una cella di memoria EEPROM a 1 bit è costituita da  
 a un flip-flop di tipo D e un buffer 3-state  
 b un interruttore e un condensatore  
 c un NMOS speciale con gate aggiuntivo flottante
- 7) Un dispositivo PLE...  
 a implementa forme canoniche  
 b ha la matrice di AND programmabile  
 c è la più recente tra i dispositivi SPLD

**ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE**  
**Appello d'esame del 17/6/2015**

Problema



Dato il modello rappresentato in figura, descrivere la Capacità interna  $C_{pd}$  e quali effetti rappresenta e se la sua presenza influisce sul FAN-OUT dinamico, sulla potenza dinamica e sulla potenza statica (2 punti)

Dato il modello rappresentato in figura, descrivere la Capacità interna  $C_{pd}$  e quali effetti rappresenta e se la sua presenza influisce sul FAN-OUT dinamico (1 punto)

Scrivere le relazioni che legano i valori delle correnti di ingresso e uscita ( $I_{ih}$ ,  $I_{oh}$ ,  $I_{ol}$ ,  $I_{oh}$ ) ai valori delle tensioni di ingresso o uscita ( $V_{il}$ ,  $V_{ih}$ ,  $V_{ol}$ ,  $V_{oh}$ ) (1 punto)

Soluzione

La capacità interna  $C_{pd}$  modella gli effetti di trasferimenti di carica e/o di capacità parassite e/o di correnti impulsive di breve durata che si hanno durante la commutazione. Include ad esempio l'effetto della capacità di gate degli stadi interni e la corrente che fluisce negli interruttori durante il transitorio di apertura e/o di chiusura.

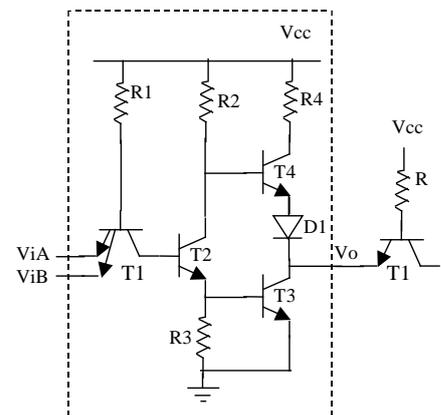
Il FANOUT dinamico è invece il rapporto tra la capacità di carico utilizzata per la caratterizzazione dinamica del dispositivo rispetto alla capacità d'ingresso dei dispositivi pilotati; non è influenzato da  $C_{pd}$ .

La dissipazione di potenza dinamica è pari a  $V_p^2(C_{pd}+C_l)f$  dove  $V_p$  è la tensione di alimentazione,  $f$  è la frequenza operativa del segnale in ingresso e  $C_l$  è la capacità di carico dell'uscita, tipicamente pari alla somma delle capacità di ingresso dei dispositivi pilotati; è influenzato da  $C_{pd}$ .

La dissipazione di potenza statica è pari a  $V_p \cdot I_p$ , dove  $I_p$  è la corrente di assorbimento dall'alimentazione, che corrisponde alla corrente  $I_{cc}$  ( $I_{ch}$ ,  $I_{cl}$ ) nel caso di dispositivi bipolari e alla corrente di perdita  $I_l$  nel caso di dispositivi CMOS; non è influenzato da  $C_{pd}$ .

Problema

Dato il circuito in figura, si identifichi la famiglia logica e il tipo di porta logica e si calcolino i valori  $V_{oh}$ ,  $V_{ol}$ ,  $V_{ih}$ ,  $V_{il}$  a vuoto, illustrando la funzione del diodo  $D1$  (2 punti)  
 Si illustri, motivando, la relazione tra  $I_{cl}$  e  $I_{ch}$  (1 punto)



### Soluzione

Si tratta di una porta NAND TTL standard.

Considerando l'uscita a "0" a vuoto si ha:

$$V_{ol} \approx V_{ce,sat} = 0.2V$$

$$I_{ol} = I_{c,max} - I_{cbo} > n \cdot I_{il}$$

$$I_{ih} = I_{cbo} < 10 \text{ A}$$

$$V_{ih} = 2V_{be,sat} > 1.4V \approx 1.5V$$

Considerando l'uscita a "1" a vuoto si ha:

$$V_{oh} = V_{cc} - R_2 \cdot I_{b4} - V_{be4} - V_d \approx V_{cc} - V_d - V_{ce} - R_c \cdot I_{oh} > V_{ih} \text{ (tip. } V_{oh} \approx 3V)$$

$$I_{oh} > n \cdot I_{ih} \text{ (tip. } n > 10)$$

$$I_{il} = (V_{cc} - V_{ce,sat} - V_{d,sat}) / R_1 \approx 1 \text{ mA}$$

$$V_{il} < 1.4V \approx 1.3V$$

Il diodo D1 impedisce al Transistore T4 di entrare in conduzione quando T3 è in conduzione. Infatti, se T3 è in conduzione, all'uscita  $V_o$  c'è una tensione pari a  $V_{ce,sat}$  ossia circa uguale a 0,3V. Se T3 è in conduzione allora anche T2 è in conduzione e sul collettore di T2 c'è una tensione pari alla tensione di emettitore di T2 più  $V_{ce,sat}$ ; ma dato che l'emettitore di T2 è connesso alla base di T3 che è in saturazione, allora sull'emettitore di T2 c'è una tensione pari a  $V_{be,sat}$  ossia circa 0,7V. Ne consegue che sul collettore di T2, che è connesso alla base di T4, c'è una tensione pari a  $V_{be,sat} + V_{ce,sat}$ , ossia circa 1V. Se non ci fosse il diodo D1, T4 sarebbe in conduzione in quanto la tensione in base sarebbe  $V_{be,sat} + V_{ce,sat}$  e la tensione all'emettitore sarebbe  $V_{ce,sat}$ . Il diodo D1 funge quindi da traslatore di tensione e potrebbe svolgere la sua funzione anche con il catodo connesso alla base di T4 e l'anodo connesso sul collettore di T2.

La corrente di assorbimento dalla tensione di alimentazione  $I_{cc}$  è differente se l'uscita si trova a zero ( $I_{ccl}$ ) o a 1 ( $I_{cch}$ ). Ipotizzando il dispositivo a vuoto, che quindi non scambia corrente sull'uscita, la corrente assorbita dall'alimentazione è la corrente che scorre nelle resistenze R1 e R2. La corrente che scorre in R1 è circa la stessa sia nel caso di uscita a 0 (ingresso a 1) sia nel caso di uscita a 1 (ingresso a 0). Nel primo caso la corrente va in base a T2 e T1 lavora in modalità inversa e la tensione in base a T2 è circa 1,4V; nel secondo caso la corrente scorre verso l'ingresso che può trovarsi al valore  $V_{il}$  (0,8V). Molto diverso è il caso della corrente in R2: nel primo caso (uscita a 0) scorre la corrente di collettore di T2 saturo, mentre nel secondo caso scorre la corrente di base di T4 che opera in regione attiva.

### Problema

- 1) Si motivi la necessità di usare il tipo **std\_logic** piuttosto che il **bit** in VHDL per rappresentare una porta di tipo three-state (1 punto)
- 2) Si definisca il multiplexer 4 a 1, dove A, B, C, e D sono gli ingressi, OUT è l'uscita e S0 e S1 sono le linee di selezione. Si sviluppi il programma in linguaggio booleano per una GAL22V10 (1 punto)
- 3) ...e il programma VHDL (1 punto)

Un dispositivo a tre stati può fornire in uscita un valore di tensione alto o basso a seconda che debba rappresentare uno '0' o un '1' logico e, se disabilitato, un altro valore detto stato ad alta impedenza (che corrisponde in pratica a disconnettere il dispositivo dalla linea). Un segnale di tipo bit può assumere solamente i valori logici '0' e '1' e non può quindi essere usato per rappresentare quest'ultima condizione, a differenza dello **std\_logic** che prevede anche lo stato Z.

Il multiplexer 4 a 1 opera secondo la tabella riportata di seguito

S1	S0	A	B	C	D	OUT
0	0	a	b	c	d	a
0	1	a	b	c	d	b
1	0	a	b	c	d	c
1	1	a	b	c	d	d

Le equazioni sono pertanto:

$$OUT = !S1 \& !S0 \& A + !S1 \& S0 \& B + S1 \& !S0 \& C + S1 \& S0 \& D$$

Il programma della GAL sarebbe:

nc	S1	S0	A	B	C	D	nc	nc	nc	nc	gnd
nc	nc	nc	nc	OUT	nc	nc	nc	nc	nc	nc	Vdd

$$OUT = !S1 \& !S0 \& A + !S1 \& S0 \& B + S1 \& !S0 \& C + S1 \& S0 \& D$$

$$OUT.oe = Vdd$$

Una possibile implementazione in linguaggio VHDL è la seguente

```
entity mult is
  port ( A,B,C,D: in std_logic;
        S : in std_logic_vector (1 downto 0);
        OUT : out std_logic);
end mult;

architecture behavior_view of mult is
begin
  if S = '0' then OUT <= A
  else if S = '1' then OUT <= B
    else if S = '2' then OUT <= C
      else if S = '3' then OUT <= D
    endif;
end behavior_view;
```