

**ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE**  
**Appello d'esame del 30/3/2015**

Ogni risposta corretta +2 punti, ogni risposta sbagliata -0,5 punti, ogni risposta in bianco 0 punti  
Minimo 6 punti sulle domande, minimo 2 punti sui problemi (20 minuti)

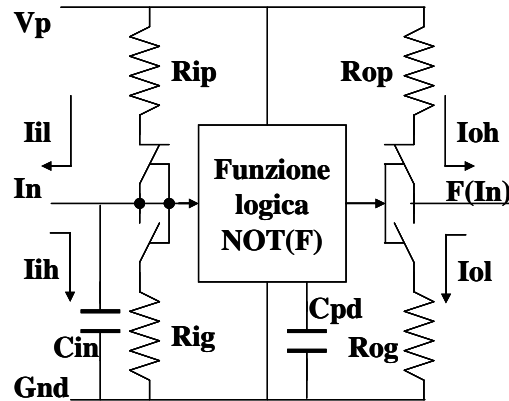
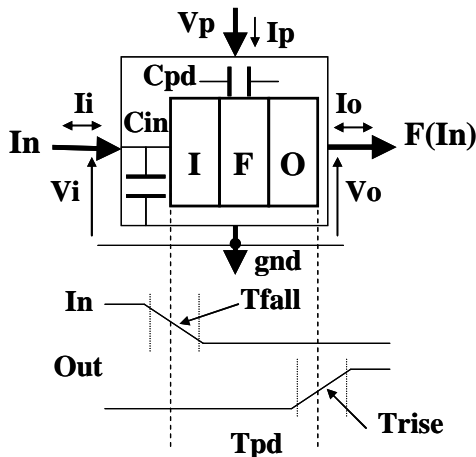
Cognome \_\_\_\_\_ Nome \_\_\_\_\_ Matr. \_\_\_\_\_ Data \_\_\_/\_\_\_/\_\_\_

- 1) Nel modello di un dispositivo digitale l'impedenza di ingresso allo stato basso è
  - ( )a  $(V_p - V_{il})/I_{il}$
  - ( )b  $V_{il}/I_{il}$
  - ( )c  $V_{ol}/I_{il}$
  
- 2) I dispositivi transceiver sono costituiti da due buffer in antiparallelo...
  - ( )a Schmidt trigger
  - ( )b open collector
  - ( )c three state
  
- 3) Il Latch-up è un problema che si verifica nei dispositivi
  - ( )a TTL
  - ( )b CMOS
  - ( )c TTL e CMOS
  
- 4) Il FANOUT dinamico indica quanti carichi è possibile pilotare ...
  - ( )a senza degrado delle prestazioni
  - ( )b senza incorrere in metastabilità
  - ( )c senza modificare i livelli di tensione e corrente di ingresso
  
- 5) Un sommatore a 4 bit che possa essere utilizzato per realizzare sommatore a 8 o 16 bit ha ...
  - ( )a 4 ingressi dati, 4 uscite dati e il bit di uscita di Carry
  - ( )b 8 ingressi dati, 4 uscite dati e il bit di uscita di Carry
  - ( )c 8 ingressi dati, 4 uscite dati, il bit di uscita di Carry e il bit di ingresso di Carry
  
- 6) La legge di conversione di un convertitore A/D con ingresso in tensione  $v$  e uscita numerica  $x$  è pari a
  - ( )a  $x=2^B(v-V_{refl})/(V_{refh}-V_{refl})$
  - ( )b  $x=2^B(v-V_{refh})/(V_{refh}-V_{refl})$
  - ( )c  $x=2^B(V_{refh}-V_{refl})/(v-V_{refl})$
  
- 7) Nei dispositivi .... Le funzioni ingresso-uscita passano sempre attraverso una sola macrocella
  - ( )a FPGA
  - ( )b CPLD
  - ( )c GAL

**ELETTRONICA GENERALE, FONDAMENTI DI ELETTRONICA DIGITALE**  
**Appello d'esame del 30/3/2015 (1h 40 minuti)**

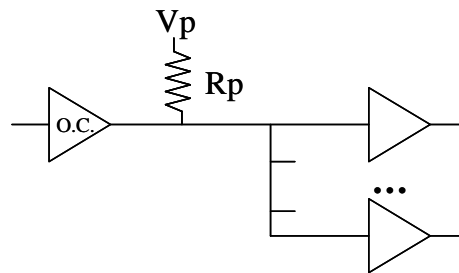
Problema

- 1) Dato il modello dinamico riportato in figura si scrivano le relazioni che determinano i valori delle resistenze  $R_{ip}$ ,  $R_{ig}$ ,  $R_{op}$ ,  $R_{og}$  in funzione di correnti e tensioni, ordinando i quattro valori dal più grande al più piccolo in un dispositivo TTL (2 punti)
- 2) Si indichi cosa sono  $C_{in}$  e  $C_{pd}$  (1 punto)



Problema

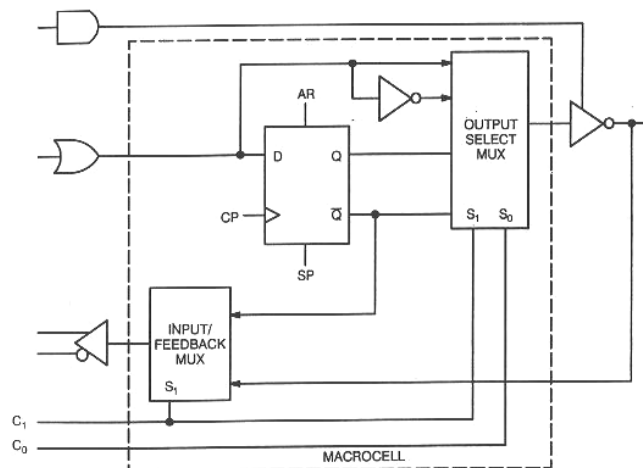
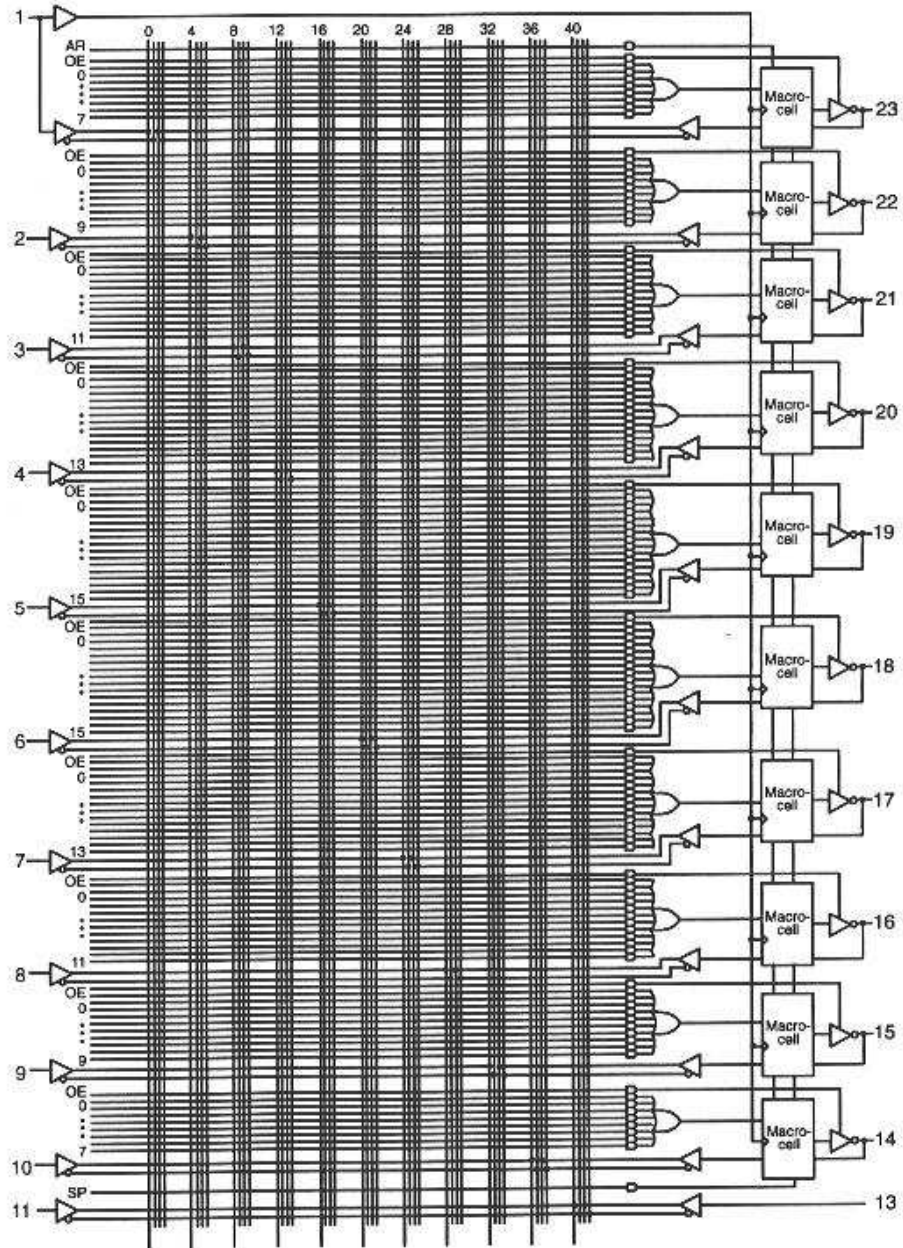
- 1) Dato un dispositivo open collector, illustrare motivando se i tempi di propagazione  $T_{phl}$  e  $T_{plh}$  sono inferiori, superiori o uguali rispetto a quelli di una porta three state (1 punto)
- 2) Se alla porta open collector configurata come in figura si connettono 10 carichi e si vuole mantenere immunità al rumore di 0,2V, quali sono i valori possibili di  $R_p$  ( $V_{ih}=2V$ ,  $V_{il}=0.8V$ ,  $V_{ol}=0.4V$ ,  $I_{ol}=8mA$ ,  $I_{il}=0.4mA$ ,  $I_{ih}=40\mu A$ ,  $V_{cc}=5V$ )? (1 punto)



Problema

- 1) Illustrare, anche mediante tabella della verità, il funzionamento di un multiplexer a 8 ingressi, 3 linee di selezione e uscita in forma vera e negata. (1 punto)
- 2) Dato il dispositivo GAL22V10, implementare il programma che realizza il multiplexer al punto 1) in linguaggio booleano... (1 punto)
- 3) ... e in linguaggio VHDL. (1 punto)

# GAL22V10

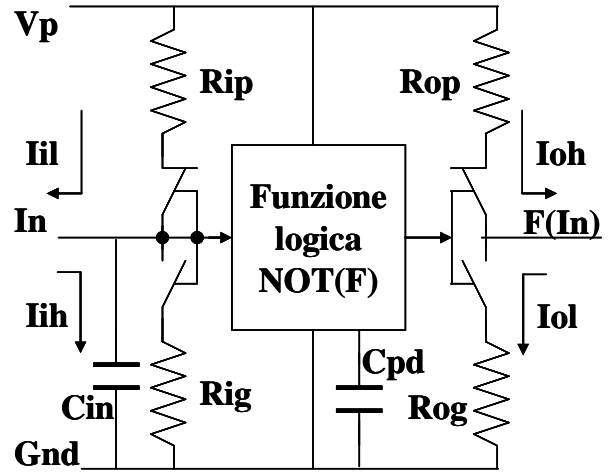
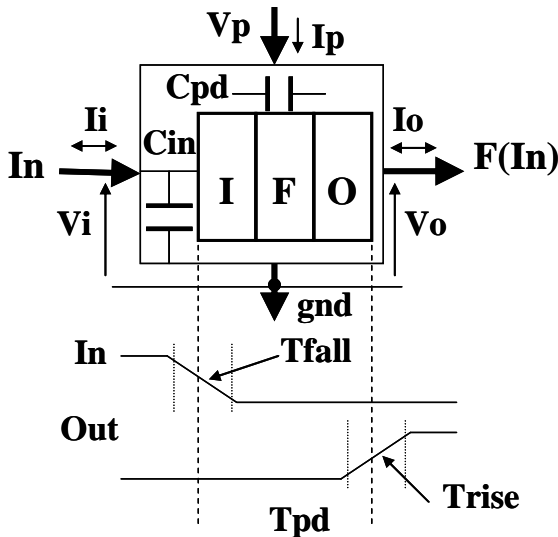


SOLUZIONI, Appello di Elettronica Generale, FED, 30/3/2015

- 1) Nel modello di un dispositivo digitale l'impedenza di ingresso allo stato basso è
- a  $(V_p - V_{il})/I_{il}$
  - b  $V_{il}/I_{il}$
  - c  $V_{ol}/I_{il}$
- 2) I dispositivi transceiver sono costituiti da due buffer in antiparallelo...
- a Schmidt trigger
  - b open collector
  - c three state
- 3) Il Latch-up è un problema che si verifica nei dispositivi
- a TTL
  - b CMOS
  - c TTL e CMOS
- 4) Il FANOUT dinamico indica quanti carichi è possibile pilotare ...
- a senza degrado delle prestazioni
  - b senza incorrere in metastabilità
  - c senza modificare i livelli di tensione e corrente di ingresso
- 5) Un sommatore a 4 bit che possa essere utilizzato per realizzare sommatore a 8 o 16 bit ha ...
- a 4 ingressi dati, 4 uscite dati e il bit di uscita di Carry
  - b 8 ingressi dati, 4 uscite dati e il bit di uscita di Carry
  - c 8 ingressi dati, 4 uscite dati, il bit di uscita di Carry e il bit di ingresso di Carry
- 6) La legge di conversione di un convertitore A/D con ingresso in tensione  $v$  e uscita numerica  $x$  è pari a
- a  $x = 2^B (v - V_{refl}) / (V_{refh} - V_{refl})$
  - b  $x = 2^B (v - V_{refh}) / (V_{refh} - V_{refl})$
  - c  $x = 2^B (V_{refh} - V_{refl}) / (v - V_{refl})$
- 7) Nei dispositivi .... Le funzioni ingresso-uscita passano sempre attraverso una sola macrocella
- a FPGA
  - b CPLD
  - c GAL

**Problema**

- 1) Dato il modello dinamico riportato in figura si scrivano le relazioni che determinano i valori delle resistenze  $R_{ip}$ ,  $R_{ig}$ ,  $R_{op}$ ,  $R_{og}$  in funzione di correnti e tensioni, ordinando i quattro valori dal più grande al più piccolo in un dispositivo TTL (2 punti)
- 2) Si indichi cosa sono  $C_{in}$  e  $C_{pd}$  (1 punto)



**Soluzione**

1)  $R_{ip} = (V_p - V_{il}) / I_{il}$        $R_{ig} = V_{ih} / I_{ih}$        $R_{op} = (V_p - V_{oh}) / I_{oh}$        $R_{og} = V_{ol} / I_{ol}$

In un dispositivo di qualunque tecnologia il valore delle resistenze di ingresso  $R_{ip}$ ,  $R_{ig}$  è sempre molto più elevato del valore delle resistenze di uscita  $R_{op}$ ,  $R_{og}$ .

Nel caso di un dispositivo TTL il livello "0" è più forte rispetto al livello "1" e pertanto  $R_{og} < R_{op}$  e  $R_{ip} < R_{ig}$ . Nel complesso si ha quindi  $R_{ig} < R_{ip} < R_{op} < R_{og}$

2)  $C_{in}$  è la capacità di ingresso del dispositivo e contribuisce alla capacità di carico  $C_l$ , e quindi alle prestazioni e al consumo, del dispositivo connesso a monte.

$C_{pd}$  indica la capacità interna e modella gli effetti di trasferimenti di carica e/o di capacità parassite e/o di correnti impulsive di breve durata che si hanno durante la commutazione. Include ad esempio l'effetto della capacità di gate degli stadi interni e la corrente che fluisce negli interruttori durante il transitorio di apertura e/o di chiusura.

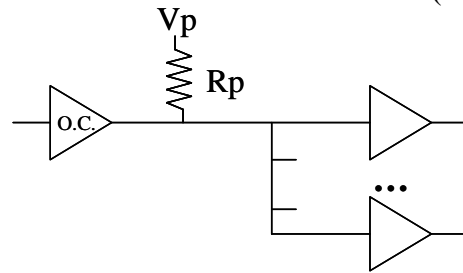
$C_{pd}$  e  $C_l$ , pari alla somma delle capacità di ingresso  $C_{in}$  degli  $N$  dispositivi pilotati ( $C_l = C_{in}N$ ), influiscono sulla dissipazione di potenza dinamica secondo l'equazione  $P_d = V_p^2 f (C_{pd} + C_l)$  dove  $V_p$  è la tensione di alimentazione,  $f$  è la frequenza del segnale di ingresso e  $C_l = C_{in}N$ .

La capacità di ingresso  $C_{in}$ , oltre ad influire sulla dissipazione di potenza dinamica del dispositivo pilota secondo quanto appena detto, influisce sulle prestazioni dinamiche del dispositivo pilota in quanto  $T_{rise}$  e  $T_{fall}$  dipendono dalla capacità di carico, tipicamente pari alla somma delle capacità di ingresso dei dispositivi pilotati, e i tempi  $T_{phl}$  e  $T_{plh}$  dipendono tipicamente dal 50% di  $T_{fall}$  e  $T_{rise}$  rispettivamente.

**Problema**

- 1) Dato un dispositivo open collector, illustrare motivando se i tempi di propagazione  $T_{phl}$  e  $T_{plh}$  sono inferiori, superiori o uguali rispetto a quelli di una porta three state (1 punto)

2) Se alla porta open collector configurata come in figura si connettono 10 carichi e si vuole mantenere immunità al rumore di 0,2V, quali sono i valori possibili di  $R_p$  ( $V_{ih}=2V$ ,  $V_{il}=0.8V$ ,  $V_{ol}=0.4V$ ,  $I_{ol}=8mA$ ,  $I_{il}=0.4mA$ ,  $I_{ih}=40\mu A$ ,  $V_{cc}=5V$ )? (1 punto)



Soluzione

1) La principale differenza tra il dispositivo three state e il dispositivo open collector, è che il dispositivo three state opera su tre stati, “0”, “1”, e “Z” (alta impedenza), mentre il dispositivo open collector opera solo tra due stati, “0” e “Z” ed è quindi più lento nella transizione da “0” a “1”. Il dispositivo open collector, così come il dispositivo three state abilitato, è del tutto uguale ad un dispositivo normale quando l’uscita è “0” e pertanto il tempo di propagazione  $T_{phl}$  non cambia. Al contrario, il dispositivo open collector non ha interruttore e resistenza di uscita verso la tensione di alimentazione  $V_p$  e il livello “1” è ricostruito grazie ad una resistenza di pull-up esterna; il valore della resistenza esterna di pull-up deve essere superiore al valore della resistenza interna perché quando l’uscita è a zero, mancando l’interruttore nel percorso verso  $V_p$ , scorre corrente tra la resistenza esterna di pull-up e massa. Sebbene il tempo di propagazione  $T_{plh}$  non sia definito per una porta open collector, che commuta solo tra “0” e “Z”, il ritardo di propagazione  $T_{plh}$  tra l’ingresso della porta open collector e la linea in uscita quando l’uscita si porta a “1” attraverso la resistenza di pullup esterna, è superiore rispetto al tempo  $T_{plh}$  di una porta three state abilitata.

2)  $R_p$  deve essere abbastanza piccola da fornire la corrente richiesta dai carichi ( $N \cdot I_{ih}$ ) quando la linea è a livello “1” (“ $V_{oh}$ ”= $V_{ih}+V_n$ )

$$R_{max} = (V_{cc}-(V_{ih}+V_n))/(N \cdot I_{ih}) = (5V-2V-0,2V)/(10 \cdot 0,04mA) = 2,8V/0,4mA = 7000 \text{ Ohm}$$

La corrente che scorre in  $R_p$  quando la linea è a livello “0”, sommata alle correnti  $I_{il}$  provenienti dagli  $N$  carichi, deve essere inferiore alla massima corrente  $I_{ol}$  del pilota

$$R_{min} = (V_{cc}-V_{ol})/(I_{ol}-N \cdot I_{il}) = (5V-0,4V)/(8mA-10 \cdot 0,4mA) = 4,6V/4mA = 1150 \text{ Ohm}$$

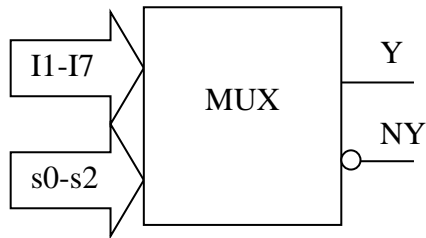
Si hanno le prestazioni migliori per i valori minimi di resistenza.

Problema

- 1) Illustrare, anche mediante tabella della verità, il funzionamento di un multiplexer a 8 ingressi, 3 linee di selezione e uscita in forma vera e negata. (1 punto)
- 2) Dato il dispositivo GAL22V10, implementare il programma che realizza il multiplexer al punto 1) in linguaggio booleano... (1 punto)
- 3) ... e in linguaggio VHDL. (1 punto)

Soluzione

1) La funzione “multiplexer” (MUX) porta su un’uscita una tra le  $N$  linee di ingresso; la scelta avviene grazie a  $M$  linee di selezione tali che  $N=2^M$ . Lo schema a blocchi e la tabella della verità del multiplexer richiesto sono i seguenti.



S2	S1	S0	Y	NY
0	0	0	I0	!I0
0	0	1	I1	!I1
0	1	0	I2	!I2
0	1	1	I3	!I3
1	0	0	I4	!I4
1	0	1	I5	!I5
1	1	0	I6	!I6
1	1	1	I7	!I7

2) Dalla tabella della verità si ricavano le seguenti equazioni booleane:

$$Y = I0 \& !S2 \& !S1 \& !S0 + I1 \& !S2 \& !S1 \& S0 + I2 \& !S2 \& S1 \& !S0 + I3 \& !S2 \& S1 \& S0 + I4 \& S2 \& !S1 \& !S0 + I5 \& S2 \& !S1 \& S0 + I6 \& S2 \& S1 \& !S0 + I7 \& S2 \& S1 \& S0$$

$$NY = !I0 \& !S2 \& !S1 \& !S0 + !I1 \& !S2 \& !S1 \& S0 + !I2 \& !S2 \& S1 \& !S0 + !I3 \& !S2 \& S1 \& S0 + !I4 \& S2 \& !S1 \& !S0 + !I5 \& S2 \& !S1 \& S0 + !I6 \& S2 \& S1 \& !S0 + !I7 \& S2 \& S1 \& S0$$

Il programma per il dispositivo GAL22V10 risulta quindi:

```
GAL22V10
nc    I0    I1    I2    I3    I4    I5    I6    I7    nc    nc    GND
nc    nc    nc    nc    Y    NY    nc    nc    nc    nc    nc    VCC
EQUATIONS
Y = I0&!S2&!S1&!S0 + I1&!S2&!S1&S0 + I2&!S2&S1&!S0 + I3&!S2&S1&S0 +
  + I4&S2&!S1&!S0 + I5&S2&!S1&S0 + I6&S2&S1&!S0 + I7&S2&S1&S0
NY = !I0&!S2&!S1&!S0 + !I1&!S2&!S1&S0 + !I2&!S2&S1&!S0 + !I3&!S2&S1&S0 +
  + !I4&S2&!S1&!S0 + !I5&S2&!S1&S0 + !I6&S2&S1&!S0 + !I7&S2&S1&S0
Y.OE = Vcc      NY.OE = Vcc
```

### 3) Soluzione in VHDL

#### Versione con IF-ELSIF-ELSE

```
LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY mux IS
    PORT (I7, I6, I5, I4, I3, I2, I1, I0: IN std_logic;
          S: IN std_logic_vector(2 DOWNTO 0);
          Y, NY: OUT std_logic);
END mux;

ARCHITECTURE archmux OF mux IS
BEGIN
    mux8: PROCESS (I7,I6,I5,I4,I3,I2,I1,I0,S)
    BEGIN
        IF S = "000" THEN Y <= I0; NY <= NOT I0;
        ELSIF S = "001" THEN Y <= I1; NY <= NOT I1;
```

```

        ELSIF S = "010" THEN Y <= I2; NY <= NOT I2;
        ELSIF S = "011" THEN Y <= I3; NY <= NOT I3;
        ELSIF S = "100" THEN Y <= I4; NY <= NOT I4;
        ELSIF S = "101" THEN Y <= I5; NY <= NOT I5;
        ELSIF S = "110" THEN Y <= I6; NY <= NOT I6;
        ELSE Y <= I7; NY <= not(I7);
        END IF;
    END PROCESS mux8;
END archmux;

```

## Versione con CASE

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY mux IS
    PORT (I7, I6, I5, I4, I3, I2, I1, I0: IN std_logic;
          S: IN std_logic_vector(2 DOWNTO 0);
          Y: BUFFER std_logic;
          NY: OUT std_logic);
END mux;

ARCHITECTURE archmux OF mux IS
BEGIN
    mux8: PROCESS (I7,I6,I5,I4,I3,I2,I1,I0,S)
    BEGIN
        CASE S is
            WHEN "000" => Y <= I0;
            WHEN "001" => Y <= I1;
            WHEN "010" => Y <= I2;
            WHEN "011" => Y <= I3;
            WHEN "100" => Y <= I4;
            WHEN "101" => Y <= I5;
            WHEN "110" => Y <= I6;
            WHEN "111" => Y <= I7;
        END CASE;
    END PROCESS mux8;
    NY <= NOT Y;
END archmux;

```